

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. März 2003 (06.03.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/019653 A2

(51) Internationale Patentklassifikation⁷: **H01L 23/00**

(21) Internationales Aktenzeichen: **PCT/EP02/09498**

(22) Internationales Anmeldedatum:
26. August 2002 (26.08.2002)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
101 41 571.0 24. August 2001 (24.08.2001) DE
101 41 558.3 24. August 2001 (24.08.2001) DE
102 25 373.0 6. Juni 2002 (06.06.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
AU, GB, IE, IL, IN, JP, KE, KP, KR, NZ, SG, TZ, UG,
US, ZA): **SCHOTT GLAS** [DE/DE]; Hattenbergstrasse 10,
55122 Mainz (DE).

(71) Anmelder (nur für AU, BB, BF, BJ, BZ, CF, CG, CI, CM,
GA, GB, GD, GE, GH, GM, GN, GW, IE, IL, IN, KE, KG,
KP, KR, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW,
MZ, NE, NZ, SD, SG, SL, SN, SZ, TD, TG, TT, TZ, UG,
VN, ZA, ZW): **CARL-ZEISS-STIFTUNG TRADING
AS SCHOTT GLAS** [DE/DE]; Hattenbergstr. 10, 55122
Mainz (DE).

(71) Anmelder (nur für JP): **CARL-ZEISS-STIFTUNG**
[DE/DE]; 89518 Heidenheim an der Brenz (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BIECK, Florian**
[DE/DE]; Mozartstrasse 21, 55118 Mainz (DE). **LEIB,**
Jürgen [—/—]; Philipp-Dirr-Strasse 14, 85345 Freising
(DE).

(74) Anwalt: **HERDEN, Andreas**; Blumbach, Kramer & Part-
ner GbR, Alexandrastrasse 5, 65187 Wiesbaden (DE).

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG,
SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,
DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT,
SE, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: **METHOD FOR PRODUCING CONTACTS AND PRINTED CIRCUIT PACKAGES**

(54) Bezeichnung: **VERFAHREN ZUM KONTAKTIEREN UND GEHÄUSEN VON INTEGRIERTEN SCHALTUNGEN**

(57) Abstract: The invention concerns a method for producing electrical contact connections for at least an component integrated to a support material which includes a first surface zone, at least a connecting contact being arranged at least partly in said first surface zone for each component. The method is characterized in that a covering element is placed on the first surface zone and at least a contact channel extends in the support material perpendicular to the first surface zone. To form at least a contact point in a second surface zone to be prepared, at least an electrical contact connection is established via respective contact channels between the contact point and at least one of the connecting contacts. Very advantageously, a contact point of this type can be produced on the surface of the support material opposite the connecting contact and thus on the surface of the support material opposite the active surface a contact point electrically connected to the connecting contact. Said technique replaces the prior technique whereby the trenches extend along the support material and the contacts are established laterally around a component.

(57) Zusammenfassung: Nach der Erfindung wird ein Verfahren zum Herstellen von elektrischen Kontaktverbindungen für wenigstens einen einem Trägermaterial integriertes Bauelement, wobei das Trägermaterial einen ersten Oberflächenbereich aufweist und wobei wenigstens ein Anschlusskontakt wenigstens teilweise im ersten Oberflächenbereich für jedes Bauelement angeordnet ist, vorgeschlagen, das sich insbesondere durch ein Aufbringen einer Abdeckung auf dem ersten Oberflächenbereich und einem erzeugen wenigstens einem Kontaktkanal, der im Trägermaterial quer zum ersten Oberflächenbereich verläuft, auszeichnet, wobei zum Ausbilden wenigstens einer Kontaktstelle in einem bereitzustellenden zweiten Oberflächenbereich über die jeweiligen Kontaktkanäle wenigstens eine elektrische Kontaktverbindung von der Kontaktstelle zu wenigstens einem der Anschlusskontakte hergestellt wird. Auf Höchst vorteilhafter Weise kann so eine Kontaktstelle auf der zum Anschlusskontakt und damit auf der der aktiven Oberfläche abgewandten Seite des Trägermaterials eine mit dem Anschlusskontakt in elektrischer Verbindung stehende Kontaktstelle erzeugt werden. Wobei sowohl auf Graben, die entlang des Trägermaterials verlaufen und auf eine seitliche um das Bauelement geführte Kontaktierung nach dem Stand der Technik verzichtet werden kann.

BEST AVAILABLE COPY



Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Verfahren zum Kontaktieren und Gehäusen von integrierten
Schaltungen

5 Beschreibung:

Die Erfindung betrifft ein Verfahren zum Herstellen von elektrischen Kontaktverbindungen für wenigsten ein in einem Trägermaterial integriertes Bauelement gemäß den Merkmalen des Anspruchs 1, einem Verfahren zur Montage mindestens eines
10 Bauelements in ein Gehäuse gemäß den Merkmalen des Anspruchs 29 und eine Vorrichtung mit Kontaktverbindungen, welche wenigsten ein in einem Trägermaterial integriertes Bauelement umfasst nach den Merkmalen nach Anspruch 64, sowie ein
15 Verfahren zur Herstellung von dreidimensional aufgebauten integrierten Schaltungen und eine integrierte Schaltungsanordnung gemäß den Ansprüchen 40 und 68.

Es sind Verfahren bekannt bei denen Bauelemente oder integrierte Schaltungen auf einem Halbleiterchip oder noch im
20 Verbund einer Halbleiterscheibe bzw. Wafers mit einem Gehäuse und mit elektrischen Anschlusskontakten versehen werden. Findet die Montage des Chips bzw. der integrierten Schaltung und die Verbindung der Kontaktgebiete des Chips mit den nach außen geführten Kontakten des Gehäuses noch im Waferverbund
25 statt, so wird ein solches Montageverfahren im allgemeinen als „Wafer Level Package-Verfahren“ bezeichnet.

Dem Stand der Technik sind eine Reihe solcher Verfahren zu entnehmen. Diese Verfahren gehen in der Regel davon aus,

BESTÄTIGUNGSKOPIE

dass, wie es problemlos zum Beispiel bei Speicherchips der Fall ist, die Verbindungen zu den Kontaktgebieten auf den Chips bzw. bei den integrierten Schaltungen direkt hergestellt werden können.

5 Dabei bleibt allerdings unberücksichtigt, dass wie zum Beispiel bei Chips mit einem integrierten sensorischen oder optischen Bauelement, die optisch aktive Fläche im montierten Zustand, zum Beispiel auf einer Leiterplatte, frei liegen
10 muss.

Aus der WO 99/40624 ist insoweit ein Verfahren bekannt, bei dem versucht wird, die oben dargestellte Problematik dadurch zu beheben, dass die beim aktiven Bauelement liegenden
15 Anschlusskontakte von der aktiven Seite auf die ihr gegenüberliegende Unterseite des Wafers bzw. des Chips geführt werden. Die weitere Kontaktierung der nach unten geführten Anschlusskontakte kann dann auf bekannte Art und Weise erfolgen. Ein dazu ähnliches Verfahren ist außerdem in
20 "Wafer Level Chip Scale Packaging: Benefits for Integrated Passive Devices", Clearfield, H.M.; Young, J.L. Wijeyesekera, S.D.; Logan, E.A.; IEEE Transactions on Advanced Packaging, Vol. 23, No. 2, Seiten 247-251 beschrieben.

25 Das erwähnte Verfahren zeichnet sich dadurch aus, dass nach dem Aufbringen einer Glasabdeckung auf die optisch aktive Vorderseite eines Wafers entlang der Unterseite des Wafers Gräben erzeugt werden, die den Wafer in einzelne Chipbereiche
30 unterteilen. Im Rahmen der Erzeugung der Gräben werden die auf der aktiven Seite des Wafers jeweils auf dem Übergangsbereich zwischen zwei Chips befindlichen Anschlusskontaktstellen geteilt und somit in den Gräben freigelegt. Zur vollständigen Gehäusung des Wafers bzw. der
35 Chips wird nach dem Herstellen der Gräben über dieselben eine

Glasscheibe geklebt, die in entsprechender Weise so eingeschnitten wird, dass die Gräben im Wafer als auch die Anschlusskontaktstellen wiederum frei zugänglich sind. Daran anschließend erfolgt ein Abscheiden von Kontaktbahnen in die
5 erzeugten Gräben, wodurch ein Kontaktieren der Anschlusskontaktstellen und ein Verlegen der Kontaktstelle auf die Rückseite des gehäuteten Chips erfolgen soll.

Das vorgestellte Verfahren führt zwar zu einem sogenannten
10 Durchkontaktieren der Anschlusskontakte von der aktiven Vorderseite des Chips bzw. des Wafers auf die passive Rückseite, jedoch treten hierbei einige wesentliche Nachteile auf, so dass Chips, die nach dem besprochenen Verfahren hergestellt wurden, unverhältnismäßig teuer sind. Dies
15 begründet sich unter anderem aus der Tatsache, dass die im bekannten Verfahren zu erzeugenden Gräben deutlich breiter sind als sie für gewöhnlich beim normalen Zerteilen bzw. Dicing eines Wafers anzutreffen wären. Im Ergebnis führt diese dazu, dass die Abstände zwischen den Chips oder den
20 Integriertschaltungen relativ groß sein müssen, so dass weniger Chips auf einem Wafer Platz haben. Bereits deshalb liefert das bekannte Verfahren nur eine relativ geringe Chip-Ausbeute aus einem Wafer oder Halbleiterscheibe. Darüber hinaus verläuft der Herstellungsprozess nach dem
25 vorgestellten Verfahren auch relativ langsam. Dies hat zum einen insbesondere damit zu tun, dass die Gräben sequentiell eingeschliffen werden müssen und zum anderen dass beim Erzeugen der Gräben die sogenannte Dicing-Säge nur bei einem vergleichsweise langsamen Vorschub arbeiten kann. Davon
30 abgesehen sind auch die einzusetzenden Dicing-Sägen sehr teuer. Eine wesentliche Problematik des Verfahrens nach der WO 99/40624 ist auch darin zu sehen, dass das Freilegen der Anschlusskontakte beim Aufschleifen der Gräben durch ein Zerteilen derselben erfolgt. Ein solches Zerteilen der
35 Anschlusskontakte bedarf höchster Maßhaltigkeit, da es

ansonsten zur Zerstörung von zumindest eines Teils des Kontakts kommen kann. Aber selbst wenn ein genaues Zerschneiden des Anschlusskontakts gelingt, ist es nicht einfach, mit den so freigelegten Anschlusskontakten eine Kontaktverbindung herzustellen. Die Ursachen hierfür liegen insbesondere darin begründet, dass das Kontaktieren nach dem Stand der Technik über ein Abscheiden von Kontaktbahnen auf den im Wafer schräg liegenden Wandungen der Gräben erfolgen soll, ein gleichmäßiges und damit zielgerichtetes Abscheiden jedoch nur senkrecht zur Abscheidungsrichtung möglich ist. Weitere Verfahren zum Durchkontaktieren von Chips werden auch in "Future Systems-on-Silicon LSI Chips", Koyanagi, M; Kurino, H; Lee, K.W.; Sakuma, K, IEEE Micro, July-August 1998, Seiten 17-22, WO98/52225 und DE 197 46 641 beschrieben. Diese sind jedoch für die Verpackung optischer Chips nicht geeignet.

Auf diesem Hintergrund liegt der vorliegenden Erfindung die Aufgabe zugrunde, die oben genannten Nachteile des Standes der Technik zu vermeiden, um auf diese Weise ein kostengünstigeres und einfacheres Verfahren zum Herstellen von elektrischen Kontaktverbindungen beim Verpacken insbesondere von optischen Chips bereitzustellen.

Gelöst wird diese Aufgabe auf höchst überraschende Weise bereits durch ein Verfahren zum Herstellen von elektrischen Kontaktverbindungen gemäß den Merkmalen des Anspruchs 1.

Ferner wird nach der Erfindung auch ein Verfahren zur Montage mindestens eines Bauelements in ein Gehäuse gemäß den Merkmalen nach Anspruch 31 beansprucht und im unabhängigen Anspruch 66 eine Vorrichtung definiert, welche insbesondere nach einem der erfindungsgemäßen Verfahren herstellbar ist.

Vorteilhafte Weiterbildungen finden sich insbesondere in den jeweils zugeordneten Unteransprüchen.

Nach der Erfindung wird mit Vorteil ein Verfahren zum
5 Herstellen von elektrischen Kontaktverbindungen für
wenigstens ein in einem Trägermaterial integriertes
Bauelement, wobei das Trägermaterial einen ersten
Oberflächenbereich aufweist und wobei wenigstens ein
Anschlusskontakt wenigstens teilweise im ersten
10 Oberflächenbereich für jedes Bauelement angeordnet ist,
vorgeschlagen, das sich insbesondere durch ein Aufbringen
einer Abdeckung auf dem ersten Oberflächenbereich und einem
Erzeugen wenigstens eines Kontaktkanals, der im
Trägermaterial quer zum ersten Oberflächenbereich,
15 beziehungsweise in einer Richtung im wesentlichen senkrecht
zu diesem verläuft, auszeichnet, wobei zum Ausbilden
wenigstens einer Kontaktstelle in einem bereitzustellenden
zweiten Oberflächenbereich über die jeweiligen Kontaktkanäle
wenigstens eine elektrische Kontaktverbindung von der
20 Kontaktstelle zu wenigstens einem der Anschlusskontakte
hergestellt wird.

Auf höchst vorteilhafte Weise kann so eine Kontaktstelle auf
der zum Anschlusskontakt und damit auf der ~~der~~ aktiven
25 Oberfläche abgewandten Seite des Trägermaterials eine mit dem
Anschlusskontakt in elektrischer Verbindung stehende
Kontaktstelle erzeugt werden. Wobei sowohl auf Gräben, die
entlang des Trägermaterials verlaufen und auf eine seitliche
um das Bauelement geführte Kontaktierung nach dem Stand der
30 Technik verzichtet werden kann.

Nach einer vorteilhaften Weiterbildung des Verfahrens wird
das Trägermaterial, in welchem die Bauelemente integriert
sind bezogen auf die Anordnung der Bauelemente in zu
35 definierende Chipbereiche aufgeteilt. Die für die

Kontaktverbindung vorgesehenen Kontaktkanäle können nach der Erfindung auf verschiedene Art und Weise in das Trägermaterial eingebracht werden. Zum einen ist vorgesehen Kontaktkanäle im Trägermaterial derart anzuordnen, dass sie
5 im wesentlichen in Nachbarschaft zu den Anschlusskontakten in das Trägermaterial eingebracht werden. Zum anderen sieht die Erfindung aber auch vor, die Kontaktkanäle in das Trägermaterial derart einzubringen, dass sie insbesondere vom zweiten Oberflächenbereich ausgehend im wesentlichen
10 unmittelbar an die Anschlusskontakte anschließen. Letztere Variante bietet insbesondere den Vorteil, dass sich ein Umverlegen der Anschlusskontakte auf dem ersten Oberflächenbereich erübrigt. Umverlegen heißt in diesem Zusammenhang, dass auf dem ersten Oberflächenbereich eine
15 Kontaktbahn erzeugt wird, die eine elektrische Verbindung zwischen dem Anschlusskontakt und dem Kontaktkanal herstellt. Ein Einbringen des Kontaktkanals neben dem Anschlusskontakt kann insbesondere dann von Vorteil sein, wenn sich zum
20 Beispiel unterhalb des Anschlusskontaktes Teile von aktiven Bereichen des im Trägermaterial integrierten Bauelements befinden.

Nach einer weiteren vorteilhaften Ausführungsform der Erfindung werden die Kontaktkanäle oder zumindest Teile davon
25 dort in das Trägermaterial eingebracht, wo in einem späteren Verfahrensschritt das Trägermaterial in verschiedene Chipbereiche zerschnitten wird. Da es nach der Erfindung möglich ist, durch einen Kontaktkanal mehr als nur eine elektrische Kontaktverbindung herzustellen, besteht so die
30 Möglichkeit, auf einfache Art und Weise über die einzelnen Kontaktkanäle eine Kontaktverbindung zu mehreren Anschlusskontakten auf zum Beispiel verschiedenen Chipbereichen bzw. für verschiedene Bauelemente aufzubauen.

Höchst vorteilhaft besteht nach der Erfindung die Möglichkeit die Kontaktkanäle auf unterschiedliche Weise zu erzeugen. Nach einer Ausführungsform der Erfindung wird beispielsweise der Kontaktkanal über ein Dotieren des Trägermaterials
5 bereitgestellt. Hierbei werden vorzugsweise chemische Elemente der dritten und fünften Hauptgruppe des Periodensystems eingesetzt. Wobei als Verfahren zum Dotieren vorzugsweise das Ionenimplantieren oder thermische Defundieren der Elemente in das Trägermaterial zur Erzeugung
10 der Kontaktkanäle zum Einsatz kommen.

Nach einer weiteren bevorzugten Ausführungsform der Erfindung umfasst das Erzeugen der Kontaktkanäle insbesondere das Bereitstellen von Lochöffnungen. Löcher bieten insbesondere
15 den Vorteil, dass durch sie hindurch nicht nur eine Kontaktverbindung verlegt werden kann sondern selbstverständlich in Abhängigkeit von der Größe der Lochöffnung mehrere Kontaktbahnen in der Öffnung verlegbar sind. Mit Vorteil werden bei der Erzeugung, aber auch
20 generell bei der Kontakkanalerzeugung, die Lochöffnungen bzw. die Kontaktkanäle lateral gegenüber dem Trägermaterial insbesondere elektrisch isoliert.

Im Rahmen der Erfindung können mit Vorteil zur Herstellung
25 der Kontaktkanäle bzw. der Lochöffnungen verschiedenste Verfahren eingesetzt werden. So können die Kanäle zur Durchführung der Kontakte durch das Halbleitermaterial oder Trägermaterial vorzugsweise entweder mit Hilfe eines Trockenätzprozesses und/oder eines Nassätzprozesses erzeugt
30 werden.

Der Trockenätzprozess umfasst nach der Erfindung regelmäßig ein fotolithographisches Strukturieren der zu bearbeitenden Oberfläche und ein anisotropes Trockenätzen. Vorzugsweise
35 kommt der auf SF₆-radikalen basierende „ASE(Advanced Silicon

Etching)-Prozess" bzw. „Bosch-Prozess" zum Einsatz. Als Nassätzverfahren kommt das Ätzen mittels KOH-Lauge in Betracht. Letzter Prozess bietet insbesondere Kostenvorteile.

5 Wie ausgeführt können im Rahmen der Erfindung die Kontaktkanäle, die einen kontaktierenden Durchgriff von einem Oberflächenbereich zum anderen Oberflächenbereich des Trägermaterials bzw. des Wafers erzeugen sollen, an unterschiedlichen Stellen im Trägermaterial oder im Chip oder
10 im Wafer angeordnet werden. Dem Entsprechen kann es nach der Erfindung notwendig werden, dass zum Herstellen der elektrischen Kontaktverbindung bzw. Kontaktverbindungen die im Oberflächenbereich gelegenen Anschlusskontakte zu den jeweils zugeordneten Kontaktkanälen umverlegt werden. Das
15 Umverlegen kann dabei durch übliche fotolithographische Strukturierung und entsprechendes Ätzen und dem Abscheiden von elektrisch leitfähigem Material erfolgen. Mit Vorteil sind nach der Erfindung die verschiedensten bekannten Abscheidungs- bzw. Beschichtungsverfahren einsetzbar. Dies
20 sind z. B. das Sputtern, das CVD- und/oder PVC-Abscheiden und/oder das stromlose Abscheiden von vorzugsweise Aluminium, Kupfer oder Nickel.

Werden die erfindungsgemäßen Kontaktkanäle beispielsweise
25 durch Lochöffnungen erzeugt, so können diese mit den erwähnten Verfahren auch mit elektrisch leitfähigen Materialien wie z. B. Aluminium und/oder Kupfer und/oder Nickel und/oder vergleichbaren Metallen aufgefüllt werden, um auf diese Weise eine Kontaktverbindung von dem ersten
30 Oberflächenbereich zum zweiten Oberflächenbereich herzustellen. Über das Herstellen der von Kontaktkanälen werden gleichzeitig Kontaktstellen im zweiten Oberflächenbereich erzeugt. Wobei zum Herstellen insbesondere von externen, d. h. nach außen gerichtete Kontaktverbindung
35 auf die Kontaktstelle wenigstens eine Lötperle aufgebracht

werden können. Hierdurch wird auf einfache Art und Weise zum Beispiel ein Anschlusskontakt für eine Leiterplatte hergestellt.

- 5 Je nach den Anschlussstellen der besagten Leiterplatte oder ähnlichem kann mit Vorteil auch auf dem zweiten Oberflächenbereich ein Umverlegen der geschaffenen Kontaktstelle vorgesehen werden.
- 10 Insbesondere dann, wenn mehrere Leiterbahnen durch nur einen Kontaktkanal verlegt werden, bietet das erfindungsgemäße Verfahren die Möglichkeit zur gegenseitigen Isolierung der Kontakte den Kontaktkanal oder die mit Leiterbahnen versehenen Lochöffnungen im übrigen mit Isolierstoff
- 15 auszufüllen. Werden später die so befüllten Lochöffnungen im Rahmen der Zerlegung des Wafers in einzelne Chips geteilt, so kann auf diese Weise bereits eine laterale Isolierung der vereinzelter Chips sichergestellt werden.
- 20 In vorteilhafter Weiterbildung des erfindungsgemäßen Verfahrens wird die Abdeckung vorzugsweise in Form eines Glases oder eines vergleichbaren Kunststoffes bereitgestellt. Ein Glas oder ein Kunststoff bietet sich insbesondere dann an, wenn optisch aktive Bauelemente abzudecken sind. Die
- 25 Verbindung zwischen der Abdeckung und dem ersten und/oder zweiten Oberflächenbereich erfolgt nach einer Ausführungsform der Erfindung mit Hilfe eines Haftvermittlers. Besondere mechanische oder optische Eigenschaften lassen aber sich auch beispielsweise mit einer Abdeckung erzielen, die einen Glas-
- 30 Kunststoff-Verbundwerkstoff oder Schichtwerkstoff umfaßt.

Unter Oberflächenbereich ist nach der Erfindung eine im wesentlichen ebene Oberfläche oder ein Bereich des Trägermaterials zu verstehen, die oder der die

35 Anschlusskontakte umfasst, die auf dem Halbleitermaterial des

Trägermaterials angeordnet sind oder aus diesem herausragen können und die auf der u.a. eine Passivierungsschicht zumindest teilweise liegen kann, welche sich an das Substrat oder Halbleitermaterial des Trägermaterials anschließt.

5

Als Haftvermittler können vorzugsweise Epoxidharze und/oder Wachse und/oder Sol Gele verwendet werden. Der Einsatz von Wachs bietet insbesondere den Vorteil, dass die so geschaffene Verbindung ohne Zerstörung des Trägermaterials wieder gelöst werden kann. Das Herstellen einer Verbindung zwischen der Abdeckung aus vorzugsweise Glas und dem Trägermaterial auf der Basis eines Sol Gels erweist sich insbesondere insofern als vorteilhaft, als dass das Gel eine vergleichsweise große Transparenz besitzt und darüber hinaus eine sehr temperaturbeständige Verbindung mit insbesondere Glas eingeht. Da das Sol Gel selbst glasartig, sozusagen selbst Glas ist, hat es insbesondere in bezug auf Glas auch besonders gute Anpassungs- bzw. Übergangseigenschaften.

10

15

Eine weitere in diesem Zusammenhang stehende vorteilhafte Ausführungsform der Erfindung besteht auch darin, den Haftvermittler zum Verbinden der Abdeckung mit dem Trägermaterial durch ein sogenanntes Bonden zu ersetzen. Es kommen mit Vorteil vorzugsweise ein anodisches Bonden in Betracht. Im allgemeinen setzt das Bonden eine im wesentliche planare Oberfläche bzw. einen planaren Oberflächenbereich des Trägermaterials voraus. Von daher bietet es sich mit Vorteil an, falls die topographischen Unterschiede auf dem Trägermaterial oder Wafer zu groß sind, zunächst eine Oxidschicht auf der Waferoberfläche oder den Oberflächenbereichen des Trägermaterials abzuscheiden. Hierzu einsetzbare Verfahren sind zum Beispiel das „LTO(Low Temperature Oxid)-“ und das „TEOS(Tetra-Ethyl-Ortho-Silicat)-Verfahren“. Des weiteren wird im Rahmen des Bondens der Abdeckung auf das Trägermaterial die abgeschiedene

30

35

Oxidschicht mit Hilfe eines chemisch-mechanischen Polierprozesses derart planarisiert, dass die Mikro- und Makroplanarität für das Bonden bereitgestellt wird.

- 5 Abhängig davon, ob die Kontaktkanäle ausgehend von dem ersten Oberflächenbereich oder von dem zweiten bereitzustellenden Oberflächenbereich erzeugt werden variiert die Reihenfolge der Verfahrensschritte "Aufbringen einer Abdeckung" und "Erzeugen von wenigstens einem Kontaktkanals" nach der
10 Erfindung.

Bei einer vorteilhaften Ausführungsvariante des erfindungsgemäßen Verfahrens wird bevor die Kontaktkanäle in das Trägermaterial eingebracht werden zunächst die Abdeckung
15 auf den ersten Oberflächenbereich des Trägermaterials aufgebracht. Wobei sich im ersten Oberflächenbereich vorzugsweise die aktiven Bausteine befinden. Das Aufbringen der Abdeckung bietet den Vorteil, dass die im Trägermaterial befindlichen Bauelemente geschützt werden und die Anordnung
20 zusätzlich an Stabilität gewinnt. Das Trägermaterial oder der Wafer oder die Halbleiterscheibe kann danach auf der Rückseite beispielsweise mechanisch durch einen Abschleifprozess aufgedünnt werden, ohne dabei seine mechanische Stabilität, die durch die Abdeckung gewährleistet
25 wird, zu verlieren. Das Durchkontaktieren, d. h. das Erzeugen von wenigstens einem Kontaktkanal in dem ausgedünnten Trägermaterial, erfolgt dann nach einer der oben beschriebenen Möglichkeiten auf der Basis der Erzeugung von Dotierungskanälen oder mit Hilfe von mit leitfähigem Material
30 versehenen Lochöffnungen. Es sei darauf verwiesen, dass insbesondere bei der vorhergehend beschriebenen Vorgehensweise die auf der aktiven Oberseite liegenden Anschlusskontakte direkt ausgehend vom bereitgestellten zweiten Oberflächenbereich über die jeweiligen Kontaktkanäle,
35 sozusagen von hinten, durchkontaktiert werden können.

Eine weiteren Ausführungsvariante des erfindungsgemäßen Herstellungsprozesses von Kontaktkanälen bzw.

Kontaktverbindungen besteht darin, dass das noch vor dem
5 Aufbringen der Abdeckung und einem rückseitigen Ausdünnen des Trägermaterials oder Wafers ausgehend von der Vorderseite oder von dem ersten Oberflächenbereich Sackkanäle im Trägermaterial erzeugt werden. Die Bezeichnung Sackkanäle wurde deshalb gewählt, da diese Kanäle in der Regel noch
10 nicht bis zum zweiten Oberflächenbereich hindurch reichen. Werden die Sackkanäle in Form von Sacklochöffnungen ausgebildet, d. h. in Form von Öffnungen deren Tiefe zunächst geringer ist als die Dicke des Trägermaterials, so wird auf die Sacklochwandungen im allgemeinen ein Isolator zur
15 elektrischen Isolation des Lochs zum Trägermaterial aufgebracht und auf diese Kontaktbahnen verlegt oder abgeschieden und/oder danach die Sacklöcher mit einem leitfähigen Material ausgefüllt. Im Anschluss daran wird auf dem ersten Oberflächenbereich des Wafers oder Trägermaterials
20 eine Abdeckung aufgebracht. Aufgrund der insbesondere stabilisierenden Wirkung der Abdeckung in bezug auf das Trägermaterial, ist es nun möglich ausgehend von der passiven Seite des Trägermaterials mit Hilfe eines vorzugsweise mechanischen Schleifprozesses das Trägermaterial auszdünnen.
25 Das Ausdünnen erfolgt dabei solange bis zumindest im Bereich des Sacklochs, die darin eingebrachten Leiterbahnen oder leitfähigen Materialien freigelegt sind, so dass ein Durchkontaktieren des Trägermaterials oder Wafers oder Chip oder Substrat entsteht.

30 Eine entsprechende Vorgehensweise wird auch dann verfolgt, wenn die Kontaktkanäle auf der Basis von das Trägermaterial zunächst nicht durchdringenden Dotierkanälen erzeugt werden.

Wie bereits eingangs ausgeführt, liegt im Rahmen der Erfindung auch ein Verfahren zur Montage mindestens eines Bauelements in einem Gehäuse. Bei diesem Verfahren wird zunächst wenigstens ein Halbleiterbauelement in einem

5 Trägermaterial, welches einen ersten Oberflächenbereich, der einem zweiten Oberflächenbereich gegenüberliegt umfasst, her- oder bereitgestellt, wobei wenigstens ein Anschlusskontakt wenigstens teilweise im ersten Oberflächenbereich für jede integrierte Schaltung angeordnet ist. Ferner wird unter

10 Einsatz des oben vorgestellten Verfahrens ein mit einer ersten Abdeckung auf dem ersten Oberflächenbereich versehenes Trägermaterial mit wenigstens einer Kontaktstelle im zweiten Oberflächenbereich hergestellt und dann auf dem zweiten Oberflächenbereich eine zweite Abdeckung aufgebracht. Mit

15 Hilfe der zweiten Abdeckung ist es mit Vorteil möglich, das Halbleiterbauelement gegen Beschädigung von außen zu schützen. Ferner begründet die zweite Abdeckung die Möglichkeit, dass falls die erste Abdeckung auf dem ersten Oberflächenbereich mit z. B. einem Wachs aufgebracht wurde,

20 das diese für weitere Verarbeitungsschritte wieder abgenommen werden kann, ohne dass dabei der womöglich ausgedünnte Wafer oder Chip an Stabilität verlieren würde.

In vorteilhafter Weiterbildung des Erfindungsgegenstands

25 werden in die zweite Abdeckung insbesondere dort Lochöffnungen eingebracht, wo sich die auf den zweiten Oberflächenbereich verlegten Anschlusskontakte des Halbleiterbauelements befinden. Es steht natürlich frei, die die Abdeckung durchdringenden Lochöffnungen noch vor dem

30 eigentlichen aufbringen in die Abdeckungsschicht einzubringen. In vergleichbarer Art und Weise wie die Lochöffnungen im Trägermaterial können auch die Abdeckungsöffnungen mit leitfähigem Material wie z. B. Aluminium, Kupfer oder Nickel ausgefüllt werden, um auf diese

35 Weise eine Verbindung der verlegten Anschlusskontakte nach

außen herzustellen.

Mit Vorteil ist es erfindungsgemäß natürlich auch möglich, durch geeignete Maßnahmen, die auf dem zweiten
5 Oberflächenbereich befindlichen Kontaktstellen so zu verlegen, dass eine Anpassung an die Lage der Lochöffnungen durch die zweite Abdeckung erfolgt. In entsprechender Weise können die durch die Abdeckungsöffnungen verlegten
10 Kontaktstellen auf der freiliegenden Seite der Abdeckung weiterverlegt werden.

Ferner betrifft eine Weiterentwicklung des erfindungsgemäßen Verfahrens soweit das Trägermaterial oder die
15 Halbleiterscheibe mehrere Bauelemente oder integrierte Schaltungen umfasst das Ausbilden von Trenngräben zwischen den Bauelementen oder integrierten Schaltungen. Diese Gräben dienen vorzugsweise zur elektrischen Entkopplung oder Isolierung der einzelnen Bauelementen auf den verschiedenen
20 Chipbereichen. Hierzu können die geschaffenen Gräben ferner mit einem Isolierstoff aufgefüllt werden. Ein möglicher Isolierstoff ist z. B. Epoxidharz oder BCB (Benzocyclobuten). Die Trenngräben werden im Rahmen des Verfahrens auf dem Wafer oder auf der Halbleiterscheibe derart angeordnet, dass über
25 ein im wesentlichen symmetrisches Zerteilen der Trenngräben der Wafer in verschiedene im wesentlichen gleich große Chipbereiche zerlegt wird. Höchst Vorteilhaft können auf diese Weise die auf den Chips liegenden Bauelemente auch lateral abgedichtet oder nach außen isoliert werden.

30 Wie bereits aus der obigen Beschreibung ersichtlich kann sowohl das Verlegen der Anschlusskontakte als auch die Montage der Bauelemente in ein Gehäuse nach der Erfindung im Waferverbund stattfinden.

Es liegt weiterhin im Rahmen der Erfindung, ein Verfahren zur Herstellung integrierter Schaltungen anzugeben, das auch insbesondere dazu geeignet ist, mehrschichtig aufgebaute, integrierte Schaltungen herzustellen. Das Verfahren ist, insbesondere auch zur Herstellung mehrschichtiger integrierter Schaltungen oder zur Montage erfindungsgemäß hergestellter Schaltungen auf geeigneten Unterlagen geeignet.

Zur Miniaturisierung von elektronischen Bauteilen werden vielfach integrierte Halbeiterschaltungen verwendet, welche allein oder zusammen mit anderen Schaltungsbestandteilen oder anderen Schaltungen auf eigenen Halbleitersubstraten oder Halbleiterwafern aufgebracht sind. Ein derartiges Halbleitersubstrat mit einem elektronischen Bauteil oder vorzugsweise zumindest einem elektronischen Schaltungsbestandteil soll im nachfolgenden vereinfacht als Chip bezeichnet werden. Insbesondere auf den Gebieten der Optoelektronik und der Mikro-opto-elektromechanischen Systeme („MOEMS“) ergeben sich vielfältige Anwendungsmöglichkeiten für derartige Schaltungsanordnungen. So können solche optischen oder sensorischen Bauteile und nichtoptische Bauteile übereinandergestapelt werden. Insbesondere ergeben sich vielfältige Möglichkeiten durch Kombination von CMOS- und CCD-Chips.

Ferner wird für Logik- und Prozessoranwendungen zumeist CMOS-Technologie verwendet. Mit solchen CMOS-Chips lassen sich jedoch optische oder sensorische Bauteile nur schlecht realisieren. Durch die Verbindung eines optischen CCD-Chips mit einem CMOS-Chip kann beispielsweise eine hochintegrierte Speicherschaltung vorteilhaft in die Bildaufnahmeeinheit integriert werden. Ebenso kann der CCD-Chip mit einem Prozessorbaustein zur Datenkompression kombiniert werden, so daß in der weiteren Elektronik des Gerätes nachfolgend nur noch komprimierte Daten verarbeitet werden müssen.

Aus dem Stand der Technik, wie beispielsweise in US 6,171,887 beschrieben, sind eine Reihe von Verfahren zur Montage von elektronischen Bausteinen auf zugeordneten Unterlagen bekannt. Bei diesen Verfahren wird der Chip mit seiner aktiven Seite zur Unterlage zeigend montiert. Bei dem in US 6,171,887 offenbarten Verfahren werden auf den Kontaktflächen des Chips Lötperlen aufgebracht. Diese Seite des Chips wird daraufhin mit einer isolierenden Schutzschicht abgedeckt, die so dick ist, daß auch die Lötperlen vollständig bedeckt sind. Die Schutzschicht wird in einem weiteren Schritt abgeschliffen und poliert, bis die Kontakte teilweise freigelegt sind. Der so behandelte Chip wird dann mittels Aufschmelzen der Elektroden und des Schutzfilms mit der Unterlage verbunden, wobei die Elektroden zugehörige Kontaktflächen der Unterlage kontaktieren. Dieses Verfahren läßt sich zur Herstellung von gestapelten Bauteilen, welche aufgrund deren eigenständiger Handhabbarkeit nachfolgend auch als elektronische Bausteine bezeichnet werden, mit optoelektronischen Elementen im allgemeinen nicht verwenden, weil die optisch, bzw. sensorisch aktive Seite von der Unterlage oder dem mit dem optischen Bauteil verbundenen Element abgedeckt werden würde.

Die Erfindung sieht dementsprechend ein Verfahren zur Herstellung integrierter Schaltungen vor, bei welchem ein Wafer verwendet wird, welcher ein Substrat, zumindest einen Anschlußkontakt und auf einer ersten Seite eine die Schaltkreise eines Chips umfassende aktive Schicht aufweist. Das Verfahren umfaßt die Schritte:

1. Befestigen einer transparenten Abdeckung auf der ersten Seite des Wafers,
2. Ausdünnen des Wafers auf einer der Seite, welche die aktive Schicht aufweist, gegenüberliegenden Seite,
3. Einfügen von zumindest einem sich im wesentlichen

senkrecht zur Oberfläche der ersten Seite erstreckenden, leitenden Kanals von einer zweiten Seite des Wafers her, welche der Seite mit der aktiven Schicht gegenüberliegt in den Wafer, und

- 5 Herstellen eines elektrischen Kontakts zwischen zumindest einem Anschluß der Schaltkreise des Wafers und dem leitenden Kanal.

Dieses Verfahren kann auf diese Weise auch vorteilhaft zur
10 Herstellung mehrschichtig aufgebauter integrierter Schaltungen mit zumindest zwei Chips weitergebildet werden, die jeweils zumindest einen Anschlußkontakt und auf einer ersten Seite eine die Schaltkreise des Chip umfassende aktive Schicht aufweisen. Das Verfahren sieht dazu vor, auf einer
15 Seite eines ersten der zumindest zwei Chips eine Abdeckung zu befestigen. Um einen Kontakt von einer Seite des Chip zur anderen Seite herzustellen, wird ein leitender Kanal in das Substrat eingebracht, der sich in einer Richtung im wesentlichen senkrecht zur Oberfläche des Chip, bzw. zur
20 ersten Seite des Chip erstreckt. Auf der anderen Seite des Chip wird eine Kontaktfläche hergestellt, die mit dem leitenden Kanal elektrisch verbunden ist. Ebenso wird zumindest ein Anschluß der Schaltkreise des ersten Chip auf der ersten Seite mit dem leitenden Kanal verbunden.

25 Anschließend werden der erste und zumindest ein weiterer Chip derart aufeinander befestigt, daß zwischen dem elektrisch leitenden Kanal des ersten Chip und zumindest einer korrespondierenden Anschlußfläche des anderen Chip ein elektrischer Kontakt hergestellt wird.

30 Unter Bezugnahme auf die deutsche Patentanmeldung mit dem Titel „Verfahren zum Kontaktieren und Gehäusen von integrierten Schaltungen“ wird deren Gegenstand in die vorliegende Erfindung mit einbezogen. Dieser Verweis gilt
35 insbesondere für das Herstellen eines leitenden Kanals durch

einen Wafer oder Chip.

Der zumindest eine leitender Kanal kann auf verschiedene Weise erzeugt werden. Nach einer Ausführungsform des Verfahrens wird der Kanal durch Einfügen eines Loches erzeugt, welches anschließend mit einem leitenden Material, wie etwa einem Metall oder einem leitenden Epoxid aufgefüllt wird.

Es ist ebenso möglich, den Kanal durch Einfügen einer geeigneten Dotierung zu erzeugen. Das Dotieren kann beispielsweise mit Ionenimplantation oder thermischer Diffusion durchgeführt werden.

Gemäß einer vorteilhaften Weiterbildung des Verfahrens wird der erste Chip auf der zweiten Seite ausgedünnt, die der ersten, die aktive Schicht aufweisenden Seite gegenüberliegt. Wenn das Loch mit einer Tiefe erzeugt wird, die zunächst geringer als die Dicke des Substrats ist, so bildet sich ein Sackloch. Ebenso reicht die Eindringtiefe der Dotierung unter Umständen nicht, um einen von einer Seite zur anderen Seite des Substrats reichenden leitenden Kanal herzustellen. Gemäß der Weiterbildung wird durch den Schritt des Ausdünnens die Dicke des Substrats zumindest im Bereich des Lochs oder der Dotierung geringer als die Tiefe des Lochs, bzw. der Eindringtiefe der dotierenden Atome gemacht, so daß eine Durchkontaktierung durch das Substrat hindurch entsteht. Die Löcher werden dabei vorzugsweise mittels Ätzen hergestellt und stellen somit Ätzgruben im Substrat dar.

Merkmale weiterer vorteilhafter Ausgestaltungen des erfindungsgemäßen Verfahrens finden sich auch in den Unteransprüchen.

Das erfindungsgemäße Verfahren gestattet es, einen Chip mit einer Unterlage, insbesondere einem weiteren Chip so zu verbinden, daß die Unterlage der Rückseite des Chips zugewandt ist und zusätzlich elektrische Verbindungen der Oberseite oder aktiven Seite des Chips mit der Unterlage hergestellt werden. Hierzu wird der Chip mit leitenden Kanälen versehen, die sich von der Oberseite zur Unterseite erstrecken. Die Kanäle werden mit einer leitenden Schicht versehen oder mit einem Leiter aufgefüllt, um eine Durchkontaktierung herzustellen.

Alternativ kann ein Oberflächenbereich des Chip dotiert werden, so daß sich durch die Dotierung ein leitender Bereich bildet, der sich bis auf die gegenüberliegende Seite erstrecken kann und so einen leitenden Kanal bildet. Die mit Hilfe der leitende Kanäle durch den Chip hindurchgeführten Kontakte können dann mit Lötperlen versehen werden, mit denen der Chip mit der Unterlage verbunden wird. Die Verbindung der Chips kann beispielsweise in ähnlicher Weise wie in US 6,171,887 beschrieben durchgeführt werden. Alternativ können die Kontakte selbstverständlich ebenso auf dem anderen Chip oder auf beiden aufgebracht werden.

Die Kanäle, die zur Durchführung der Kontakte durch das Halbleitermaterial dienen, können unter anderem mittels eines Trockenätzverfahrens hergestellt werden. Geeignet hierfür ist insbesondere ein anisotropes Trockenätzverfahren wie zum Beispiel der auf SF_6 -Radikalen basierende „ASE-Prozeß“. Eine kostengünstige Alternative ist hierbei das anisotrope Ätzen mit KOH-Lauge, welche sich bei Si-Wafern in (100)-Orientierung anbietet. Selbstverständlich können auch Kombinationen der oben genannten Verfahren zur Erzeugung der Kanäle zur Anwendung kommen. Zur Erzeugung von Trenngräben können ferner ebenfalls diese Verfahren angewendet werden, wobei die Trenngräben beispielsweise in einem Schritt

zusammen mit den Kanälen geätzt werden können. Ebenso ist es unter anderem aber auch möglich, für das Ätzen der Trenngräben und das Ätzen von Kanälen jeweils ein anderes der oben genannten Verfahren oder eine andere Kombination dieser Verfahren zu benutzen.

Der mit dem optischen oder sensorischen Chip zu verbindende Baustein benötigt seinerseits Durchkontaktierungen für eine Verbindung mit der Platine oder mit einem weiteren Chip. Dieser Chip wird daher ähnlich präpariert wie der obenliegende optische oder sensorische Chip, wobei der Baustein zwei Sätze von Kontaktflächen aufweist. Ein Satz von Kontaktflächen paßt in Orientierung und Position mit den korrespondierenden Durchkontaktierungen des optischen Chips zusammen, während der zweite Satz zum Herstellen von Durchkontaktierungen zur Platine oder dem nächsten darunterliegenden Baustein dient.

Während der Verfahrensschritte gemäß der Erfindung befinden sich die Bausteine bevorzugt noch im Waferverband, sind also während der Herstellung noch nicht vom Wafer abgetrennt.

Nach einer bevorzugten Ausführung der Erfindung wird der Wafer auf der optischen Seite mit einer transparenten Abdeckung, etwa einer dünnen Glasscheibe verklebt. Die Bausteine auf dem Wafer werden dadurch geschützt und die Anordnung gewinnt zusätzliche Stabilität. Als Kleber kann ein geeignetes Epoxidharz verwendet werden. Der Wafer kann danach auf der Rückseite mechanisch durch einen Schleifprozeß ausgedünnt werden, wobei die mechanische Stabilität weiterhin durch die transparente Abdeckung gewährleistet wird. Die Durchkontaktierungen können dabei auf zwei verschiedene Weisen hergestellt werden. In einer ersten Variante des Verfahrens wird die Oberseite des optischen Chips photolithographisch strukturiert und die Ätzgruben

einggebracht. Die leitenden Kanäle befinden sich in dieser Variante neben den Kontaktflächen oder Bondpads zum Anschluß des Chips. Die Ätzgruben werden danach mit einem Leiter aufgefüllt und eine Leiterbahn von der Ätzgrube zum Bondpad
5 aufgebracht. Danach kann die transparente Abdeckung aufgebracht werden und der Wafer wird daraufhin auf der Rückseite solange ausgedünnt, bis die leitenden Auffüllungen der Ätzgruben auf der Oberfläche der Rückseite hervortreten.

10 Gemäß einer anderen Alternative wird die Abdeckung vorher aufgebracht und der Wafer ausgedünnt. Die photolithographische Strukturierung und das Ätzen erfolgt in diesem Fall von der Unterseite des Chips, wobei sich die Ätzgruben unterhalb der auf der Oberseite befindlichen
15 Bondpads befinden und so lange geätzt wird, bis die Bondpads freigelegt werden.

In ähnlicher Weise werden die nichtoptischen Chips vorbereitet, wobei das Verfahren auch hier im Waferverband
20 erfolgen kann. Die nichtoptischen Chips, auf denen die optischen Chips aufgebracht werden, weisen zunächst wie oben erwähnt zwei Sätze von Kontaktflächen oder Bondpads auf, die zur Durchkontaktierung, bzw. zum Anschluß des optischen Chips oder eines darüberliegenden Chips dienen. Der Wafer mit den
25 nichtoptischen Chips wird ebenfalls ausgedünnt, jedoch ohne die Stabilität zu gefährden. Der ausgedünnte Wafer wird danach photolithographisch strukturiert und an den für die Durchkontaktierung vorgesehenen Stellen durchgeätzt. Diese Verfahrensschritte des Strukturierens und Ätzens können wie
30 bei den optischen Chips sowohl von der Oberseite oder aktiven Seite als auch von der Unterseite ausgehend durchgeführt werden. Die durch die Ätzgruben gebildeten Kanäle durch den Wafer werden danach metallisiert oder mit einem Leiter aufgefüllt. Für den Fall, daß sich die Kanäle neben den
35 zugeordneten Kontaktflächen befinden, werden die

Kontaktflächen mit Leiterbahnen mit den aufgefüllten Kanälen verbunden. Die Kontaktflächen werden beidseitig mit Lötperlen versehen. Eventuell kann auf das Aufbringen dieser Kontakte, die für den Anschluß des optischen Chips oder

5 darüberliegenden Chips vorgesehen sind, verzichtet werden, sofern sich bereits auf den zugehörigen Kontakte des darüberliegenden Chips solche aufschmelzbaren Kontakte befinden.

10 Die auf diese Weise vorbereiteten Chips können dann miteinander verbunden werden. Falls die Chips auf den Wafern in gleicher Weise angeordnet sind, so daß die korrespondierenden Kontakte beim Aufeinanderlegen der Wafer übereinander zu liegen kommen, so kann das Verbinden der

15 Chips im Waferverband durchgeführt werden. Anderenfalls wird der Wafer mit den kleineren Chips mittels einer Dicing-Säge zersägt und die Chips danach auf den anderen Wafer aufgesetzt. Mittels Aufschmelzens oder Reflow des Lots der Lötperlen werden dann die beiden Wafer bzw. die Chips mit dem

20 Wafer unter Herstellung von Kontaktierungen zwischen den Chips verbunden. Zum Verbinden der Wafer, bzw. Chips untereinander wird bevorzugt ein hochschmelzendes Lot verwendet, welches eine höhere Schmelztemperatur als das zum Verbinden mit der Platine verwendete Lot besitzt. Dadurch

25 wird verhindert, daß sich die Verbindungen der Chips des Chipstapel untereinander beim Verbinden mit der Platine wieder lösen. Für die Verbindung der Chips untereinander kann so beispielsweise reines Zinn verwendet werden. Die Chips werden in einem abschließenden Schritt mit einer Dicing-Säge

30 abgetrennt.

Während der Vorbereitung der Chips auf den Wafern können diese nach Aufbringen der transparenten Abdeckung mit verschiedenen Wafer-Level Verpackungsverfahren eingepackt

35 werden.

Das erfindungsgemäße Verfahren ermöglicht auch eine
Verbindung von mehr als zwei Schichten von Bauelementen oder
Chips, wobei die entsprechend vorbereiteten Teile entweder
5 gleichzeitig oder nacheinander miteinander verbunden werden.

Werden die Elemente der mehrschichtigen integrierten
Halbleiteranordnung gemäß eines Ausführungsbeispiels
sukzessive aufeinander befestigt, so gestattet es die dem
10 jeweils zuletzt angefügten Wafer oder Chip durch den Verbund
der Elemente zusätzlich verliehene mechanische Stabilität,
daß er vergleichsweise weiter ausgedünnt werden kann. Dieses
Ausführungsbeispiel basiert daher auf einem sukzessiven
aufeinander Befestigen mit anschließendem Ausdünnen der Wafer
15 oder Chips. Dies hat zur Folge, daß die Löcher oder Ätzgruben
in den Chips durch ein vergleichsweise dünneres Substrat
geätzt werden müssen und dadurch im Durchmesser kleiner
bleiben.

20 Es ist ferner zu beachten, daß es sich bei dem obersten Chip
des mit dem Verfahren hergestellten Stapels nicht um einen
optischen Chip handeln muß. Vielmehr lassen sich mit der
Erfindung beliebige Halbleiterbausteine miteinander zu
kompakten dreidimensionalen Stapeln verbinden. Das Verfahren
25 ist zum Beispiel zum Stapeln von Speicherbausteinen besonders
geeignet, die ohne isolierende Zwischenschicht zwischen den
Chips miteinander verbunden werden können. Ebenso können auch
integrierte Schaltungen auf unterschiedlichen Substraten, wie
Ge, Si und GaAs vorteilhaft raumsparend miteinander
30 kombiniert werden. Ebenso sind mit dem Verfahren
verschiedenste sensorische Chips mit weiteren Bausteinen
kombinierbar. Die sensorischen Chips können beispielsweise
Strahlungs- Druck- Temperatur- oder Feuchtigkeitssensoren
aufweisen. Ebenfalls sind chemisch sensitive Sensoren
35 verwendbar, die auf bestimmte Gase oder

Flüssigkeitsbestandteile ansprechen.

Eine transparente Abdeckung kann auch in vorteilhafter Weise strukturiert sein. So lassen sich in die Abdeckung
5 beispielsweise optische Elemente, wie Prismen, Gitter oder optische Filter integrieren.

Für den Fall, daß keine transparenten Abdeckungen auf dem obersten Chip vorhanden sein sollen oder müssen,
10 beispielsweise, wenn es sich beim obersten Chip nicht um einen optischen Chip handelt, läßt sich der Chip auch mittels eines ablösbaren Wachses auf einer Unterlage befestigen, die während der Herstellungsprozesses, insbesondere während des Ausdünnens zusätzliche Festigkeit verleiht. Alternativ kann
15 die Abdeckung auch beispielsweise mittels eines Epoxidharzes während des Herstellungsprozesses fixiert werden, das unter Einwirkung von UV-Licht wieder ablösbar wird.

Entsprechend den erfindungsgemäßen Verfahren liegt im Rahmen
20 der Erfindung auch eine mehrschichtige integrierte Schaltungsanordnung, die zumindest zwei übereinander angeordnete Chips umfaßt, welche jeweils ein Substrat, zumindest einen Anschlußkontakt und auf einer Seite eine die Schaltkreise des Chip umfassende aktive Schicht aufweisen.
25 Zumindest einer der Chips der Schaltungsanordnung weist vorteilhafterweise einen leitenden Kanal auf, wobei elektrischer Kontakte zwischen zumindest einem Anschluß der Schaltkreise des Chips, der den Kanal aufweist und dem leitenden Kanal einerseits und einer Anschlußfläche des
30 weiteren Chip mit dem leitenden Material andererseits bestehen.

Die fertig zusammengesetzte mehrschichtige integrierte Halbleiteranordnung kann zusätzlich mit einer schützenden
35 Gehäusung versehen werden. Eine solche mehrschichtige

integrierte Schaltungsanordnung, die mit dem
erfindungsgemäßen Verfahren hergestellt und im Verlauf der
Herstellung mit einer vorteilhaften schützenden Gehäusung
versehen wurde, stellt ein wie in Anspruch 79 beanspruchtes
5 gehäustes Multipackage dar. Ein gehäustes Multipackage umfaßt
so ebenfalls zumindest zwei übereinander angeordnete Chips,
die auf einer Seite jeweils zumindest einen Anschlußkontakt
und eine die Schaltkreise des Chip umfassende aktive Schicht
aufweisen. Die so angeordneten Chips sind vorteilhafterweise
10 zumindest teilweise von einem Gehäuse umschlossen. Höchst
vorteilhaft weist zumindest einer der Chips des einen
leitenden Kanal auf, wobei ebenfalls ein elektrischer Kontakt
zwischen zumindest einem Anschluß der Schaltkreise des Chip,
der den Kanal aufweist und dem leitenden Kanal einerseits und
15 einer Anschlußfläche eines weiteren Chip mit dem leitenden
Kanal andererseits besteht.

Entsprechend den erfindungsgemäßen Verfahren liegt im Rahmen
der Erfindung auch eine Vorrichtung, die vorzugsweise ein
20 sensorisch oder optisch oder ein entsprechendes nach außen
wirkendes aktives Bauelement beinhaltet, wobei das Bauelement
über zwei Abdeckungen auf dessen erster und zweiter
Oberfläche und einer lateralen Isolierung nach außen hin
isoliert bzw. geschützt ist.

25 Die vorliegende Erfindung wird nachfolgend anhand einzelner
Ausführungsbeispiele im einzelnen beschrieben. Hierzu wird
auf die beigefügten Zeichnungen Bezug genommen, wobei sich in
den einzelnen Zeichnungen gleiche Bezugszeichen auf gleiche
30 Teile beziehen.

Es zeigen:

Figs. den Verlauf einer ersten Variante des
erfindungsgemäßen Verfahrens zum Herstellen von

- 1A bis 1E elektrischen Kontaktverbindungen anhand verschiedener Querschnittsansichten eines Halbleiterchips oder Halbleiterscheibe.
- Figs. eine zu den Figs 1 entsprechende Darstellung von
- 2A bis 2C möglichen weiteren Verfahrensschritten im Zusammenhang mit den erfindungsgemäßen Verfahren nach Fig. 1.
- Figs. die Verfahrensschritte gemäß einer weiteren
- 3A bis 3D Ausführungsform des erfindungsgemäßen Verfahrens.
- Figs. eine Variante des anhand der Figuren 3A bis 3D
- 4A bis 4D dargestellten Verfahrens mit einer Redistribution der Anschlüsse
- Figs. eine zu den vorhergehenden Darstellungen
- 5A bis 5C entsprechende Querschnittsansicht einer weiteren Variante des erfindungsgemäßen Kontaktverbindungsverfahrens
- Figs. ein weiteres Ausführungsbeispiel der Erfindung bei
- 6A und 6B der zwischen den Chipbereichen auf dem Wafer von der passiven Seite aus Trenngräben eingebracht wurden.
- Figs. eine Ausführungsform nach der Erfindung bei der
- 7A und 7B entlang der Trennlinien zwischen den Chips auf dem Wafer Durchkontaktierungsstellen für wenigstens zwei Bondpads erzeugt wurden.
- Figs. Querschnittsansichten verschiedener
- 8A bis 8C Ausführungsformen von Chips für einen Chipstapel, die sich im dreidimensionalen, mehrschichtigen elektronischen Baustein unter dem obersten Chip befinden,
- Figs anhand von Querschnittsansichten die Schritte eines
- 9A bis 9D Ausführungsbeispiels und insbesondere wie der oberste Chip mit einem darunterliegenden Chip zu einem Chipstapel zusammengefügt werden kann,
- Figs. anhand schematischer Querschnittsansichten
- 10A bis ein weiteres Ausführungsbeispiel des

10E erfindungsgemäßen Verfahrens,
Figs. Querschnittsansichten von Ausführungsformen fertig
11A bis zusammengesetzter mehrschichtiger elektronischer
11C Bausteine,
Fig. 12 eine Querschnittsansicht einer weiteren
 Ausführungsform.

Zur nachfolgenden detaillierten Beschreibung bevorzugter
Ausführungsformen wird zunächst auf ein in den Figuren 1A bis
1E dargestelltes Ausführungsbeispiel Bezug genommen. Die
5 Figuren 1A bis 1E zeigen die Verfahrensschritte einer ersten
Variante des erfindungsgemäßen Verfahrens zum Herstellen von
elektrischen Kontaktverbindungen anhand verschiedener
Querschnittsansichten eines Wafers bzw. Halbleiterscheibe 10
oder Halbleiterchips 10. Es soll sich hierbei vorzugsweise um
10 einen sensorischen Chip und hierbei beispielsweise um einen
optischen oder druckempfindlichen oder
feuchtigkeitsempfindlichen etc. Chip handeln, bei dem
insbesondere von Wichtigkeit ist, dass nach einem
Kontaktieren oder Befestigen oder Kontaktverbinden des Chips
15 auf z.B. einem Board oder mit sonstigen Geräten oder
Einrichtungen, die aktive sensorische Seite frei liegen kann
oder soll. Die Verfahrensschritte der Figuren 1A bis 1E
zeigen anhand von Querschnittsansichten hierbei auch
Verfahrensschritte, die zur Vorbereitung eines Chips zum
20 Zusammenfügen zu einem dreidimensionalen Chipstapel geeignet
sind.

Der optische Chip oder sensorische Chip nach Fig. 1A ist im
Waferverbund 10 angeordnet und besteht entsprechend der
25 Halbleiterscheibe 10 aus einem Substrat 1, an dessen
Oberseite 14 sich eine optisch aktive Schicht 11, wie etwa
die Sensorschicht eines CCD-Chips befindet. Die Oberseite 14
des Chip ist zusätzlich mit einer Passivierungsschicht 13
überdeckt. Auf der Oberfläche befinden sich außerdem

Kontaktierungsflächen oder Bondpads 12, die zum Anschluß des Chip verwendet werden und über Leiterbahnen mit der optisch sensitiven Schicht 11 verbunden sind.

5

Nach dem Bereitstellen des Wafers wird zunächst in einem nächsten Schritt des Verfahrens, wie anhand von Figur 1B gezeigt ist, an den für die Durchkontaktierungen vorgesehenen Stellen Öffnungen 16 in die Passivierungsschicht gemacht oder
10 eingebracht und das Substrat freigelegt. Dieser Schritt kann beispielsweise durch photolithographisches Strukturieren und nachfolgendes Ionenstrahlätzen durchgeführt werden.

In einer nachfolgenden Ätzprozedur werden Ätzgruben bzw.
15 Sacklochöffnungen 17 in das Substrat geätzt, wobei die Passivierungsschicht 13 das Substrat außerhalb der Öffnungen 16 vor einem Anätzen schützt. Zur weiteren Verarbeitung reicht für die Sacklochöffnungen eine Tiefe im Bereich von ca. 50 bis 200µm bei einer Gesamtstärke des Substrats von ca.
20 500µm. Für die Herstellung der Ätzgruben ist unter anderem anisotropes Ätzen eines Si(100)-Substrats mit KOH geeignet, wobei sich Ätzgruben mit einem Öffnungswinkel von etwa 70° bilden, deren Durchmesser oder Querschnitts auf der aktiven Oberfläche einen von der Äztiefe und/oder dem Öffnungswinkel
25 abhängt.

Anschließend werden die Ätzgruben mit den Bondpads kontaktiert. Figur 1C zeigt eine Querschnittsansicht des Chips nach diesen Fertigungsschritten. Zur Herstellung der Kontaktierungen werden die Ätzgruben 17, sowie Bereiche der
30 Oberseite 14 zwischen den Ätzgruben mit einem Metall beschichtet. Dadurch wird eine Metallschicht 18 gebildet, die sich auf den Wänden der Ätzgruben und auf leiterförmigen Bereichen zwischen den Ätzgruben befindet, wobei die Schicht die Bondpads zumindest teilweise überdeckt, um eine sichere

Kontaktierung herzustellen. Als kontaktierendes Metall ist dabei beispielsweise Aluminium, Kupfer oder Nickel geeignet. Die metallbeschichteten Ätzgruben werden als nächstes mit einem Metall aufgefüllt, so daß die Gruben mit einer massiven leitenden Struktur 19 ausgefüllt sind.

Anschließend werden die Ätzgruben mit den Bondpads kontaktiert. Figur 1C zeigt eine Querschnittsansicht des Chips nach diesen Fertigungsschritten. Zur Herstellung der Kontaktierungen werden die Ätzgruben 17, sowie Bereiche der Oberseite 14 zwischen den Ätzgruben mit einem Metall beschichtet. Dadurch wird eine Metallschicht 18 gebildet, die sich auf den Wänden der Ätzgruben und auf leiterförmigen Bereichen zwischen den Ätzgruben befindet, wobei die Schicht die Bondpads zumindest teilweise überdeckt, um eine sichere Kontaktierung herzustellen. Als kontaktierendes Metall ist dabei beispielsweise Aluminium, Kupfer oder Nickel geeignet. Die metallbeschichteten Ätzgruben werden als nächstes mit einem Metall aufgefüllt, so daß die Gruben mit einer massiven leitenden Struktur 19 ausgefüllt sind.

Anders als anhand von Fig. 1C dargestellt, kann jedoch auch zuerst die Grube mit einem leitenden Material aufgefüllt werden und dann eine Leiterbahn von der Kontaktfläche 25 zur Auffüllung 19 gelegt werden, um einen elektrischen Kontakt herzustellen.

Als nächster Schritt wird die Oberseite 14 des Chip 1 zum Schutz der optisch sensitiven Schicht 11 mit einer optisch transparenten Abdeckung 20 versehen. Das Ergebnis dieser Herstellungsphase ist in Fig. 1D gezeigt. Neben dem Schutz der Halbleiterschaltkreise an der Chipoberseite 14 hat die Abdeckung außerdem die Funktion, den gesamten Aufbau mechanisch zu stabilisieren, was für die nachfolgenden Verfahrensschritte, insbesondere für das noch zu beschreibende

Ausdünnen des Wafers, ausgehend von der passiven Seite, von Bedeutung ist. Die Abdeckung 20 wird bevorzugt mittels einer Epoxidharzschicht 21 auf den Chip aufgeklebt. Als Abdeckung ist beispielsweise eine Scheibe aus Glas oder vergleichbar transparentem Kunststoff geeignet.

Um eine Durchkontaktierung durch den Chip herzustellen, wird die Unterseite oder inaktive Seite 22 des Chips abgeschliffen, bis die leitenden Auffüllungen 19 der Ätzgruben 17 erreicht werden und sich dadurch Kontaktstellen bzw. Kontaktflächen 23 auf der Unterseite 22 des Chips bilden. Die Kontaktstelle kann hierbei nach einer von vielen möglichen Ausführungsformen beispielsweise eine Breite von ca. 50µm aufweisen. Hierbei wird davon ausgegangen, dass der Wafer eine Gesamtstärke von beispielsweise ca. 500µm hat, die Sacklochöffnung eine Eindringtiefe von etwas mehr als 200µm besitzt, so dass nach einem Ausdünnen des Substrats die Sacklochspitze bis auf eine Breite von 50µm freigelegt wird. Dieser Fertigungszustand ist in Fig. 1E abgebildet.

In diesem Zusammenhang sei hervorgehoben, dass es von Vorteil ist, wenn der Wafer so dünn wie möglich, insbesondere noch dünner als im obigen Beispiel, ausgedünnt wird, da hierdurch insbesondere der Lochöffnungsquerschnitt und die Lochtiefe sehr klein gehalten werden kann. Wobei die Stabilität des Wafers durch die Abdeckung bzw. dem Glas 20 gewährleistet wird.

Der Wafer liegt nun in einer Form vor, dass die Bondpads auf der passiven Seite des Wafers liegen. Er kann nun so weiter verarbeitet werden wie ein nicht-sensorischer Chip, z.B. mit allen bekannten Wafer Level Packaging (WLP) Verfahren.

Mit diesem Verfahren kann also die Palette der WLP für nicht

sensorische Chips beachtlich erweitert werden. Die so mit verlegten Kontaktstellen (23) versehenen Chips können dann im gehäusten oder offen Zustand mit konventioneller SMT (Surface Mounted Technology) auf einem Board bzw. auf einer

5 Leiterplatte kontaktiert werden.

Insoweit sind aus den Figuren 2A bis 2E weitere mögliche Verfahrensschritte, die an den Verfahrensschritt nach den Figur 1E anschließen können zu entnehmen. Die Figuren 2A bis
10 2C zeigen auch insbesondere anhand von Querschnittsansichten durch einen Chip verschiedene Ausführungsformen des in Fig. 1E gezeigten Chip nach weiteren möglichen Bearbeitungsschritten, die als Vorbereitung vor dem Zusammenfügen von erfindungsgemäß hergestellten Chips zu
15 einem Chipstapel geeignet sind.

Für ein mögliches Zusammenfügen des Chips mit einem darunterliegenden weiteren Baustein ist das Anbringen von Lötperlen zum Beispiel zweckmäßig, die mit den Kontaktflächen
20 verbunden sind. In der einfachsten Form, die in Fig. 1A gezeigt ist, werden die Lötperlen 24 direkt auf die Kontaktflächen 22 aufgebracht. Eventuell kann auch eine Umverteilung oder Redistribution der Anschlußstellen auf der Unterseite des Chip vorgenommen werden. Dies kann
25 beispielsweise dann notwendig werden, wenn der weitere Baustein, auf den der Chip gestapelt oder mit dem der Chip verbunden werden soll, die Kontaktflächen an Orten aufweist, die nicht mit den Kontaktflächen des Chips zusammenpassen. Eine Möglichkeit, umverteilte Kontakte an der passiven Seite
30 des Chips anzubringen, ist in Fig. 2B gezeigt. Bei dieser Ausführung werden auf die Rückseite des Chip zunächst Bondpads 25 an den erwünschten Positionen angebracht. Anschließend werden Leiterbahnen von den Bondpads 25 zu den durch das Abschleifen und/oder Ätzen der Rückseite an den
35 Auffüllungen 19 entstandenen Kontaktflächen 23 aufgetragen

und Lötperlen 24 auf den Bondpads 25 aufgebracht.

Um dem Gehäusen des Chips bzw. der Montage des Chips in einem Gehäuse im Waferverband einen Schritt näher zu kommen wird
5 auf der Unterseite 22 des Chips eine weitere Abdeckung 27 aufgebracht. Ein solcher zwischen zwei Abdeckungen 20 und 27 "gesandwichter" Chip ist aus Fig. 2C zu entnehmen. Da die Wärmeausdehnungskoeffizienten vom Deckglas 20 und zum Beispiel Halbleitermaterials des Chips oder Substrats 1
10 unterschiedlich sein können, kann es bei Erwärmung bzw. Abkühlung des Chips zu einem Bi-Metalleffekt kommen, so dass sich der Chip leicht biegt. In diesem Fall muss das unterseitige Material 27 (BCB, Plastik, Glas etc.) mechanisch dem oberen Material angepasst sein, und möglichst so, dass
15 sich die Steifigkeit der Materialien, bestehend aus Dicke, E-Modul und Wärmeausdehnungskoeffizient gegenseitig kompensieren. Es ist also keinesfalls nötig, dass das obere Material 20 identisch mit dem unteren 27 sein muss.

20 Für den Fall, daß die Substrate der Chips, die aufeinandergesetzt werden sollen, unterschiedliche thermische Ausdehnungskoeffizienten oder auch im Betrieb unterschiedliche Temperaturen aufweisen, bietet sich
ebenfalls der Einsatz einer Zwischenschicht zwischen den
25 Chips an, welche durch ihre Flexibilität die zwischen den Substraten entstehenden Temperaturspannungen abbauen kann. Die in Fig. 2C gezeigte Ausführungsform kann auch eine für das Stapeln von Chips mit einer solchen flexiblen Zwischenschicht versehen sein. Bei dieser Ausführungsform des
30 Verfahrens wird zunächst die Unterseite oder passive Seite 22 des Chip mit einer Zwischenschicht 27 versehen.

Beispielsweise kann bei der in Fig. 2C gezeigten flexiblen Abdeckung nach Vollendung des Verfahrensschritts gemäß Fig.
35 1E zunächst die Zwischenschicht 27 auf die Unterseite oder

passive Seite 22 des Chips aufgeklebt werden, wobei die Schicht 25 Kanäle 28 aufweist, die in ihrer Anordnung in der Abdeckung mit den Kontaktflächen 23 zusammenpassen. Die Kanäle können ähnlich wie die Ätzgruben 17 mit einem Leiter 29 aufgefüllt werden. Ein geeignetes Verfahren besteht beispielsweise in einer galvanischen Abscheidung von Cu oder Ni. Alternativ kann auch ein leitendes Epoxid in die Ätzgruben gedrückt werden. Das Herstellen der Kontaktierungen mit Lötperlen 24 kann davon ausgehend dann in gleicher Weise erfolgen, wie im vorhergehenden Ausführungsbeispiel.

Gemäß dem im folgenden beschriebenen Ausführungsbeispiel wird die Oberseite 14 des wie in Fig. 1A vorbereiteten Chip 1 zunächst mittels einer Klebstoffschicht 21 mit einer transparenten Abdeckung 20 verklebt.

Die Figuren 3A bis 3E zeigen ebenfalls anhand von Querschnittsansichten eines Chip-Bereich einer Halbleiterscheibe die Verfahrensschritte nach einer weiteren Ausführungsform des erfindungsgemäßen Verfahrens. Die in den Figuren 3A bis 3E gezeigten Verfahrensschritte gemäß dieses weiteren Ausführungsbeispiels der Erfindung sind ebenfalls geeignet, um das Zusammenfügen eines Chips zu einer mehrschichtigen integrierten Schaltungsanordnung vorzubereiten.

Demnach wird die Oberseite 14 des wie in Fig. 1A vorbereiteten Chips 1 zunächst über eine Klebstoffschicht 21 mit einer dünnen transparenten Abdeckung 20 verklebt. Diese Zwischenstufe des Verfahrens zeigt Fig. 3A. Der so präparierte Chip oder Wafer kann daraufhin wie anhand von Fig. 3B gezeigt ist, an seiner Unterseite 22 gefahrlos ausgedünnt werden, da der Aufbau durch den Verbund mit der Abdeckung ausreichende Stabilität gewonnen hat.

Die Dicke des Wafers sollte, wie bereits erwähnt, nach dem Ätzen und/oder Abschleifen so gering wie möglich sein.

5 Gemäß Fig. 3C werden danach in den Chip Ätzgruben 30
eingefügt, wobei im Gegensatz zum vorhergehenden
Ausführungsbeispiel aber nun von der Unterseite 22 ausgehend
geätzt wird, bis die Ätzgruben auf die auf der Oberseite 14
des Chips befindlichen Bondpads 12 stoßen. Die Metallschicht
10 der Bondpads 12 wirkt dabei als Ätzstopp. Der Ätzprozess bzw.
die Tiefenätzung erfolgt dabei vorzugsweise im Zusammenhang
mit einer photolithographischen Strukturierung und einem
anisotropen Trockenätzverfahren, z.B. dem sogenannten "ASE-
Prozess" mit SF₆. In der Regel verjüngen sich die so
15 erzeugten Löcher nach innen oder weiten sich nach außen auf.
Ferner verrundet ein so erzeugtes Sackloch am Sacklochende
bzw. hier an den Bondpads.

Die Kanten oder Wandungen der Ätzgruben oder Lochöffnungen 30
20 werden anschließend über eine konforme Plasmaoxidabscheidung
gegenüber dem Substrat 1 isoliert. Die Isolierschicht ist mit
32 gekennzeichnet. Eine solche Isolierung 32 ist
grundsätzlich fakultativ. Sie ist jedoch dann vielfach
notwendig, wenn das Substrat hoch dotiert ist, um
25 Kurzschlüsse zu vermeiden. Als Verfahren kommen insoweit das
auf SiH₄ basierende LTO (Low Temperature Oxide)-Verfahren
oder ein auf TEOS-Oxide (TEOS, Tetra-Ethylen-Ortho-Silikat)
beruhende Verfahren in Betracht. Die Plasmaoxidabscheidung
ist in der Regel gefolgt von einem Rückätzschritt, um unter
30 anderem die Rückseite der Bondpads 12 wiederum freizulegen.
Im Anschluss daran wird, wie aus Figur 3D zu entnehmen ist,
die Ätzgruben oder Lochöffnungen 30 mit einem leitfähigen
Material aufgefüllt. Die Füllungen 31 kann wiederum durch
galvanisches Abscheiden von Metall in der Ätzgrube
35 durchgeführt werden oder durch ein Auffüllen der Öffnungen

mit einem Leitkleber (Leit-Epoxid) vermittels der Siebdruck/Rakeltechnik.

Mit den so hergestellten Füllungen 31 im Substrat kann nun analog zum vorhergehenden Ausführungsbeispiel weiter verfahren werden. So können die Lötperlen 24 wie in Fig. 2A gezeigt, direkt auf die Auffüllungen 31 aufgebracht werden und in Analogie zu Fig. 2B mit einer Redistribution versetzt werden. Ferner ist es möglich entsprechend zu Fig. 2C auf der Rückseite 22 eine weitere Abdeckung aufzubringen und die über die Füllungen 31 geschaffenen Kontaktstellen durch die Abdeckung hindurch nach außen zu kontaktieren.

Die Fig. 4 A bis 4D zeigen eine solche Variante des anhand der Figuren 3A bis 3D dargestellten Verfahrens mit einer Redistribution der Anschlüsse analog zu der in Fig. 2C gezeigten Ausführung, wobei die Bondpads 25 auf denen die Lötperlen 24 aufgebracht werden, lateral versetzt von den Durchkontaktierungen angeordnet und über aufgetragene Leiterbahnen 26 mit den Durchkontaktierungen verbunden sind. Das Aufbringen der Isolierschicht 32, wie sie in den Fig. 3C und 3D gezeigt ist, wurde der Übersichtlichkeit halber weggelassen. Die Ätzgruben 30 zeigen aufgrund des anisotropen Ätzens eine zur ersten Oberfläche 14 konisch zulaufende Form.

Anstelle von aufgefüllten Ätzgruben können die Bereiche 31 in den Figuren ebenso leitende dotierte Bereiche repräsentieren, die ebenfalls eine Durchkontaktierung durch das Substrat herstellen.

Aus den Figuren 5A bis 5C ist im Hinblick auf ein vollständiges Gehäuse der Chips 1a und 1b im Waferverband 1 mögliche weitere Verfahrensschritte aufgezeigt. Hierzu werden zum einen die bereits oben dargestellten Verfahrensschritte zur Durchkontaktierung und Herstellung der Kontakflächen 23 vorgenommen. Darüber hinaus werden allerdings noch zusätzlich

durch geeignete Ätzprozesse Gräben entlang der Trennlinien auf dem Wafer benachbarter Chips erzeugt. Durch ein solches Erzeugung von Gräben zwischen den Chips ergibt sich die Möglichkeit zur lateralen Versiegelung der Chips mit z.B. Epoxidharz, so dass kein blankes Silizium mehr vorliegt. Die aktive Vorder und die passive Rückseite des Wafers 1 bzw. der Chips 1a und 1b werden wie gehabt mit Abdeckungen beschichtet. Die auf der Vorderseite vorzugsweise mit einem Glas 20 und die auf der Rückseite vorzugsweise auch mit einem Glas oder einer photostrukturierbaren Schicht 27 (z.B. BCB oder Benzocyclobuten) beschichtet, wobei letzteres auch in die Gräben 35 fließt. Hierzu sei beispielhaft auch auf die Figuren 6A und 6B verwiesen. Nach dieser Ausführungsform wurden die durch Schleifen oder Ätzen die Gräben 35 entsprechend den Lochöffnungen von der Rückseite des Wafers 1 her in das Substrat 1 eingebracht (Fig. 6A). Wird nun wie besprochen und wie in Fig. 6B dargestellt auf die Rückseite eine BCB-Schicht aufgebracht, so werden in isolierender Form auch die Gräben 35 mit BCB befüllt und eine laterale Abdichtung bewirkt. An den Gräben 35 erfolgt später das Dicing, d.h. das Zertrennen des Wafers in einzelne Chips.

Ebenso, wie auch das Herstellen der Ätzgruben für die leitenden Kanäle können auch die Gräben 35 mit einem anisotropen Trockenätzverfahren wie etwa mittels eines ASE-Prozesses oder durch anisotropes Ätzen mit KOH-Lauge erzeugt werden. Allgemein kann das Ätzen der Ätzgruben, sowie der Trenngräben 35 auch durch eine Kombination verschiedener Ätzverfahren durchgeführt werden. So kann eine Ätzgrube oder ein Trenngraben beispielsweise in einem ersten Schritt mittels Nassätzen und dann weiter mittels anisotropem Trockenätzen hergestellt werden. Allgemein kann sowohl das gleiche Ätzverfahren, als auch unterschiedliche Ätzverfahren oder Kombinationen der Ätzprozesse für das Herstellen von Gräben und Ätzgruben angewendet werden. Eine mögliche

Ausführungsform sieht zum Beispiel das nasschemische Vorätzen der Trenngräben und dann daran anschließend das gemeinsame Ätzen von Oberflächenbereichen für Trenngräben und leitende Kanäle mittels anisotropem Trockenätzen vor. Durch die

5 Kombination verschiedener Ätzprozesse kann so die Form, wie etwa die Wandsteilheit, als auch die Größe und Tiefe der geätzten Strukturen vorteilhaft gesteuert werden.

Aus den Figuren 7A und 7B ist eine weitere

Ausführungsmöglichkeit für eine erfindungsgemäße

10 Durchkontaktierung zu erkennen. Fig. 7B zeigt hierzu den Querschnitt in A-Richtung. Die Durchkontaktierungskanäle 17 bzw. 19 liegen hier entlang der Chip-Trennlinien 36 auf dem Wafer. Auf diese Weise ist es einfach möglich über eine Ätzgrube 17 gleich zwei oder mehrere Bondpads 12a und 12b von

15 benachbarten Chips 1a und 1b durch geeignete Redistribution der Kontaktstellen zur Durchkontaktierungsstelle 19 zu kontaktieren. Hierzu wurden nach einer elektrischen Isolierung der Wandungen der Sacklochöffnung in diese Kontaktbahnen 18 verlegt. Jedoch wurden im Gegensatz zum

20 Prozess nach den Figs 1A bis 1E die Sacklochöffnung nicht zusätzlich noch mit einem leitfähigen Material ausgegossen, sondern mit einem Isolierstoff 37. Dies hat den positiven Effekt, dass nach dem Zertrennen des Wafers entlang der Trennlinie bzw. entlang der Durchkontaktierungsstellen die

25 vereinzelter Chips lateral nach außen isoliert sind.

Ähnlich der oben ausgeführten Vorbereitung des oberen Chips werden die darunterliegenden Bausteine präpariert. Mögliche Ausführungen zeigen die Querschnittsansichten der Figuren 8A

30 bis 8C. Die sich im Chipstapel unter dem obersten Baustein befindlichen Chips benötigen zwei Sätze oder Arten von Bondpads, von denen ein Satz dazu dient, den Kontakt mit dem darüberliegenden Chip herzustellen und der andere Satz dafür vorgesehen ist, die Verbindung mit dem darunterliegenden Chip

35 oder, für den Fall, daß der Chip der unterste des Stapels

ist, die Verbindung mit der Platine oder einer vorgesehenen Unterlage herzustellen.

Der Chip wird dazu auf der passiven Seite soweit ausgedünnt, wie es die Stabilitätsanforderungen während des
Herstellungsprozesses erlauben. Befinden sich die Chips im Waferverband, so kann ein freitragender Wafer dabei auf etwa 200µm bis 300µm ausgedünnt werden. Fig. 8A zeigt eine erste mögliche Ausführung eines solchen Chips 2, bei dem es sich beispielsweise um einen Speicherbaustein handeln kann. Der Chip 2 weist ebenso wie der oben beschriebene Chip 1 eine unter einer Passivierungsschicht 13 liegende aktive Schicht 11 auf, in welcher sich die Bauelemente des integrierten Schaltkreises befinden. Auf einem ersten Satz von Bondpads 12 werden Lötperlen 24 aufgebracht, die später zur Verbindung mit dem darüberliegenden Chip, wie etwa dem obersten Chip 1 benutzt werden.

In die Unterseite 22 werden gemäß der Ausführungsform nach Fig. 8A Ätzgruben 30 hineingeätzt, welche bis auf die Bondpads 42 des zweiten Satzes von Kontaktflächen hinaufreichen. Die dadurch gebildeten Kanäle werden ebenfalls wie beim obersten Chip 1 mit einem Leiter 31 aufgefüllt. Auf die an der Unterseite 22 des Chip durch die Auffüllung entstehenden Kontaktflächen werden zur Kontaktierung der nächsten Ebene des Chipstapels wieder Lötperlen 33 aufgeschmolzen.

Für den Fall, daß keine weitere Ebene des Chipstapels folgen soll, daß also der Chip 2 der Unterste des Stapels ist, kann das für die Lötperlen 33 verwendete Lot vorteilhaft einen niedrigeren Schmelzpunkt aufweisen, wie das für die andere Lötperlen 24 verwendete Material. Damit läßt sich der zusammengefügte Chipstapel auf einer Platine oder einer sonstigen Unterlage durch Aufschmelzen der Lötperlen 33

befestigen, ohne daß die anderen Lötperlen 24 schmelzen.

Fig. 8B zeigt eine andere Ausführungsform, bei der analog zu der in Fig. 3E gezeigten Anordnung die Anschlußkontakte bestehend aus Bondpads 25 mit Lötperlen 33 umverteilt wurden und mit Leiterbahnen 26 mit den Kontaktflächen 34 der Auffüllung 31 verbunden sind.

In Fig. 8C ist eine weitere Ausführungsform des Chip 2 gezeigt, bei dem ähnlich zu Fig. 2C eine untere Abdeckung 27 aufgebracht wurde, die als schützende Verpackung und/oder flexible Zwischenschicht fungieren kann, um Temperaturspannungen zwischen den Chips aufzufangen. Der Chip ist wie im vorhergehenden Beispiel und wie in Fig. 2C mit umverteilten Kontakten, bestehend aus Bondpads 25 mit Lötperlen 33 dargestellt.

Zur Durchkontaktierung der in der Abdeckung 27 befindlichen Kanäle 28 bis zur Unterseite der Abdeckung werden auch hier die Kanäle 28 mit einer leitenden Füllung 29 aufgefüllt. Hierbei kann es zweckmäßig sein, die Redistribuition der Kontakte so vorzunehmen, daß die auf der Unterseite und Oberseite der Chips liegenden Kontakte in ihren lateralen Positionen aufeinanderpassen. Hierdurch lassen sich mehrere Chips 2 beliebig hinsichtlich der Reihenfolge und Anzahl in einem Chipstapel miteinander kombinieren. Dies kann beispielsweise vorteilhaft sein, wenn ein solcher Chipstapel mehrere Speicherbausteine umfaßt. Ferner können hierdurch ohne unnötig hohen Aufwand mehrere verschiedene Varianten, die sich nur in der Anzahl gestapelter Speicherbausteine unterscheiden, aus den gleichen Einzelbausteinen gefertigt werden.

Die Figuren 9A bis 9C zeigen anhand von Querschnitten die Schritte eines Ausführungsbeispiels, wie der oberste Chip mit

einem darunterliegenden Chip zu einem Stapel zusammengefügt werden kann.

5 Ausgehend von einem wie beispielsweise in Fig. 3D
abgebildeten optischen Chip, der mittels einer
Klebstoffschicht 21 mit einer Abdeckung 20 verbunden ist und
an den auf die Unterseite durchgeführten Kontakten Lötperlen
24 aufweist, wird der Baustein an seiner Unterseite 22 mit
10 einer Klebstoffschicht 45 überzogen, wie in Fig. 9A gezeigt
ist. Für diese Schicht kann ein thermoplastischer Kunststoff
verwendet werden. Die Schichtdicke wird dabei so gewählt, daß
die Lötperlen 24 vollständig überdeckt werden.

15 Anschließend wird die Schicht 45 abgeschliffen, bis die
Lötperlen 24 hervortreten und zusammen mit der Schicht
plangeschliffen werden, so daß, wie in Fig. 9B dargestellt
ist, ebene Kontaktflächen 36 entstehen. Auf diese Flächen
werden erneut Lötperlen 37 aufgesetzt.

20 Fig. 9C zeigt den mit einem weiteren Chip 2 verbundenen
optischen Chip 1. Zum Verbinden wird das Lot der Lötperlen
auf den Bondpads 25 der beiden Chips durch Erhitzung
aufgeschmolzen und die Lötperlen auf den Kontaktflächen der
beiden Chips 1, 2 vereinigen sich zu einer Lötverbindung 39.
25 Durch das Erhitzen erweicht auch die thermoplastische
Kunststoffschicht 48 und verklebt die beiden Bausteine.

Durch die Oberflächenspannung des geschmolzenen Lots tritt
beim Aufeinandersetzen der Chips außerdem ein
30 Selbstjustierungseffekt ein. Aufgrund der Oberflächenspannung
werden die Chips in eine Richtung so gezogen, daß der
laterale Abstand der miteinander über das Lot verbundenen
Kontaktflächen 25 zwischen den Chips minimal wird.

Ein weiteres Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird im folgenden anhand der schematischen Querschnitte der Figuren 10A bis 10E erläutert. Dieses Ausführungsbeispiel basiert auf einem sukzessiven Befestigen mit anschließendem Ausdünnen der Wafer oder Chips, wobei der Verbund der bereits zusammengefügt Elemente dem zuletzt angefügten Baustein, bzw. Wafer zusätzliche Stabilität verschafft, so daß dieser weiter ausgedünnt werden kann.

10 Gemäß Fig. 10A wird zunächst wieder eine Abdeckung 20 auf dem ersten oder obersten Chip 1 befestigt. Das Substrat 100 des Chip 1 wird anschließend ausgedünnt (Fig. 6B) und Durchkontaktierungen gemäß den bezüglich der Figuren 3A bis 3E beschriebenen Verfahren erzeugt (nicht gezeigt). Daraufhin
15 wird wie in Fig. 6C gezeigt, der nächste Chip 2 aufgesetzt und unter Verbindung der Durchkontaktierungen auf dem ersten Chip 1 mit zugehörigen Anschlüssen auf dem weiteren Chip 2 befestigt. Der aufgesetzte Chip 2 weist zu diesem Zeitpunkt noch keine Ätzgruben, Löcher oder dotierte Bereiche für die
20 Durchkontaktierung auf. Da der aufgesetzte Wafer oder Chip nun aber fest mit dem ersten Chip verbunden ist, besitzt der aufgesetzte Chip 2 durch den Verbund mit ersten Chip 1 und der Abdeckung 20 eine mechanisch stabile Unterlage und kann gefahrlos ebenso weit wie der erste Chip 1 des Stapels
25 ausgedünnt werden.

In einem nächsten Schritt werden dann in dem aufgesetzten Chip 2, wie anhand der Figuren 3A bis 3D, beziehungsweise 4A bis 4D oder der Figuren 8A bis 8C beschrieben wurde,
30 Durchkontaktierungen erzeugt, und kann ein weiterer Chip 3 oder Wafer aufgesetzt werden. Dieser Fertigungszustand ist in Fig. 10D dargestellt.

Diese Schritte können mit beliebig vielen Bauelementen
35 einzeln oder im Waferverband wiederholt werden, so daß ein

Chipstapel entsteht, wie er schematisch in Fig. 10E mit drei aufeinandergesetzten Chips 1, 2 und 3 gezeigt ist. Die Chips können dabei sowohl direkt als auch über isolierende und/oder flexible Zwischenschichten miteinander verbunden sein.

5

Alle bisher beschriebenen Schritte können im Waferverband durchgeführt werden. Es lassen sich damit auch zusätzlich verschiedene Verpackungsverfahren auf Waferenebene („Wafer Level Packaging“) zumindest teil- oder einzelschrittweise in das erfindungsgemäße Verfahren integrieren.

10

Darüber hinaus läßt sich auch das Bonden oder Zusammenbonden, bzw. das Verbinden der Chips zu einem Stapel im Waferverband bewerkstelligen. Voraussetzung hierfür ist, daß die Chips auf verschiedenen Wafern in gleicher Weise lateral angeordnet sind, so daß die Chips eines Stapels beim Aufeinandersetzen der Wafer aufeinander zu liegen kommen.

15

Die aufeinandergestapelten Chips im Waferverband können dann anschließend mit einer Dicing-Säge abgetrennt werden.

20

Die Figuren 11A bis 11C zeigen wie oben beschrieben hergestellte Ausführungsformen von Chipstapeln 6 mit drei Schichten. Im einzelnen zeigt Fig. 11A eine Ausführungsform eines Chipstapels 6, bei dem der oberste Chip 1 kein optischer Baustein ist, sondern eine andere integrierte Schaltung umfaßt, wobei die Seite mit der aktiven Schicht 11 dem darunterliegenden Baustein 2 zugewandt ist. Demzufolge ist in dieser Ausführungsform eine Durchkontaktierung des obersten Chips nicht notwendig.

25

30

Die darunterliegenden Chips 2 und 3 hingegen weisen Durchkontaktierungen auf, die gemäß dem erfindungsgemäßen Verfahren hergestellt wurden. Die leitenden Auffüllungen 31 der Durchkontaktierungen der Chips 2 und 3 sind über

35

Lötverbindungen 39 mit korrespondierenden Bondpads 25 des jeweiligen darüberliegenden Chips 1, bzw. 2 verbunden. Zwischen den Chips befinden sich Zwischenschichten 45, welche die Chips miteinander verbinden und als flexible Ausgleichschicht zum Abbau von zwischen den Chips entstehenden Temperaturspannungen dienen kann.

Die Unterseite des untersten Chips 3 des Chipstapels 6 ist hingegen in dieser Ausführungsform nicht versiegelt. Der Chipstapel 6 kann dadurch wie bei der sogenannten „Flip-Chip“ Technik weiterverwendet werden und mittels Ausmelzen der Lötperlen 24 mit Kontaktflächen des vorgesehenen Substrats, wie etwa mit einer Platine verbunden werden. Nachdem der im Waferverband zusammengesetzte Chipstapel vom Stapel der Wafer abgetrennt wurde, kann der so entstandene mehrschichtige integrierte Baustein oder Chipstapel 6 mit einer Epoxidharzummantelung 40 versiegelt werden.

In Fig. 11B ist eine mögliche Ausführungsform eines Chipstapels 6 mit einem optischen Chip als oberstes Element gezeigt.

Der optische Chip 1 ist in diesem Fall gemäß der in den Figuren 1A bis 1E gezeigten Verfahrensschritte vorbereitet, bei denen das Durchätzen des Substrats von der Oberseite, bzw. der aktiven Seite her erfolgt, woraufhin auf den Wafer anschließend über eine optische Epoxidharzschicht 21 eine transparente Abdeckung 20 aufgebracht wird. Der Chip wird anschließend mit den gemäß der Beschreibung in Bezug auf die Figuren 40A bis 40C vorbereiteten unteren Chips 2 und 3 zusammengebondet. Das Bonding kann dabei wie bezüglich der Figuren 9A bis 9D beschrieben durchgeführt werden.

In dieser beispielhaften Ausführungsform ist auch die Unterseite des Chipstapels mit einer Abdeckung versehen, die

als flexible Zwischen- oder Ausgleichsschicht zwischen dem untersten Chip des Stapels und der Unterlage einerseits und/oder als schützende Verpackung andererseits dienen.

5 Fig. 11C zeigt ein Variante des in Fig. 11B dargestellten Chipstapels. Die in Fig. 11C gezeigte Variante stellt dabei eine besonders bevorzugte Ausführungsform dar. Diese Ausführungsform unterscheidet sich von der in Fig. 11B gezeigten Ausführungsform dahingehend, daß hier die leitenden
10 Kanäle 31 nicht von der Seite her, welche die aktive Schicht 11 aufweist, sondern bei allen durchkontaktierten Chips des Chipstapels von der gegenüberliegenden Seite her eingefügt wurden. Der Übersichtlichkeit halber sind dabei die in den Figuren 3C und 3D gezeigten Isolierschichten 32 weggelassen.

15 Die anhand der Figuren 11A bis 11C beschriebenen mehrschichtigen integrierten Schaltungsanordnungen, die zusätzlich zumindest teilweise schützend abgedeckt oder mit einer Gehäusung umgeben sind, stellen gehäuste Multipackages dar. Die Gehäusung besteht dabei aus allen Teilen des
20 Multipackages, welche die Chips abdecken, wie beispielsweise die transparente Abdeckung 20, die Epoxidharzummantelung 40 oder eine untere Klebstoffschicht 45.

25 Fig. 12 zeigt einen Querschnitt eines Ausführungsbeispiels, bei dem sich mehrere Chips, die auf einem Wafer im Waferverband zusammenhängen, eine Durchkontaktierung teilen. Die Chips für die oberste Position im Stapel, die im Waferverband auf einem Wafer 110 hergestellt worden sind,
30 werden gemäß dem anhand der Figuren 1A bis 1E erläuterten Verfahren präpariert. Hier wird jedoch eine Metallschicht 18 aufgebracht, welche Kontaktflächen 25A, 25B mit der Ätzgrube 17 verbindet, wobei die Kontaktflächen 25A und 25B an die aktiven Schichten 11A, 11b zweier verschiedener Bausteine im
35 Waferverband angeschlossen sind.

Auf der Unterseite 22 werden die Kontakte wie in Figur 2B oder 2C gezeigt, umverteilt. Die umverteilten Kontakte werden beim Verbinden der Wafer 110, 120 mit den Kontaktflächen 25 der Bausteine des jeweils darunterliegenden Wafers verbunden. Die Wafer können nach dem Verbinden entlang von Trennlinien 41 vom Waferverband abgetrennt werden, die mittig durch die gemeinsame Durchkontaktierung verläuft. Nach dem Trennen des Chipstapels ergibt sich daraus keine Durchkontaktierung, sondern eine Kontaktierung, die um den Rand des Substrats eines Chips im Chipstapel herum läuft.

Ein nach einem der oben beschriebenen Ausführungsbeispiele hergestellter Chipstapel kann nach der Fertigstellung mit einem bekannten Verfahren weiterverarbeitet werden. So kann der Chipstapel, bzw. die mehrschichtige Halbleiteranordnung mit Verfahren der SMD-Technik direkt mit einer Platine verbunden werden oder in ein geeignetes Gehäuse für SMD-Verfahren oder Through-Hole-Techniken eingegossen werden.

20

Patentansprüche:

1. Verfahren zum Herstellen von elektrischen
Kontaktverbindungen für wenigstens ein in einem
5 Trägermaterial (1, 10) integriertes Bauelement, wobei das
Trägermaterial (1, 10) einen ersten Oberflächenbereich
(13) aufweist, und wobei
 - a) wenigstens ein Anschlusskontakt (12) wenigstens
teilweise im ersten Oberflächenbereich für jedes
10 Bauelement angeordnet wird,
gekennzeichnet durch
 - b) ein Aufbringen einer optisch transparenten Abdeckung
(20) auf dem ersten Oberflächenbereich und
 - c) einem Erzeugen von wenigstens einem Kontaktkanal
15 (31), der im Trägermaterial quer zum ersten
Oberflächenbereich verläuft,
wobei zum
 - d) Ausbilden wenigstens einer Kontaktstelle (24) in
einem bereitzustellenden zweiten Oberflächenbereich
 - 20 e) über die jeweiligen Kontaktkanäle (31) wenigstens
eine elektrische Kontaktverbindung von der Kontaktstelle
(24) zu wenigstens einem der Anschlusskontakte (12)
hergestellt wird,
dadurch gekennzeichnet, daß vor dem Erzeugen des
25 wenigstens einen Kontaktkanals (30) oder der wenigstens
einen Kontaktstelle (24) das Aufbringen der Abdeckung
(20) erfolgt und daß das Bereitstellen des zweiten
Oberflächenbereichs den Schritt des Ausdünnens des
Trägermaterials umfasst und wobei insbesondere die
30 Kontaktkanäle (31) vom zweiten Oberflächenbereich
ausgehend im wesentlichen unmittelbar an die
Anschlusskontakte anschließen.
 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass
35 das Trägermaterial (1, 10) Bauelemente bezogen in zu

definierende Chip-Bereiche (1a, 1b) aufgeteilt wird, und die Kontaktkanäle (31) neben den Anschlusskontakten (12) in den jeweiligen Chip-Bereichen des Trägermaterials eingebracht werden.

5

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Kontaktkanäle (31) in das Trägermaterial (1, 10) derart eingebracht werden, dass sie an den Anschlusskontakt anschließen.

10

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass zumindest manche der Kontaktkanäle (31) auf zu definierenden Teilungslinien (36) der Chip-Bereiche (1a, 1b) liegen.

15

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Erzeugen der Kontaktkanäle (31) das laterale Isolieren (32) der Kontaktkanäle zum Trägermaterial (1, 10) hin umfasst.

20

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Erzeugen von Kontaktkanälen (31) das Dotieren des Trägermaterials mit chemischen Elementen der dritten oder fünften Hauptgruppe des Periodensystems der Elemente umfasst.

25

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Erzeugen der Kontaktkanäle (31) das Dotieren das Ioneneinlagern der Elemente beinhaltet.

30

8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Erzeugen der Kontaktkanäle (31) das Dotieren das Thermische-Diffundieren der Elemente beinhaltet.

35

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Erzeugen von Kontaktkanälen (31) das Bereitstellen von Lochöffnungen (17, 30) umfasst.
10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Kontaktkanäle (19, 31) mit Hilfe eines Trockenätzprozesses und/oder eines Nassätzprozesses erzeugt werden.
11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Trockenätzen der Lochöffnungen (17, 30) ein photolithographisches Strukturieren und/oder ein anisotropes Trockenätzen, vorzugsweise mittels SF₆-Radikalen, beinhaltet.
12. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Nassätzen der Lochöffnungen (17, 30) ein photolithographisches Strukturieren und/oder ein anisotropes Nassätzen, vorzugsweise mittels KOH-Lauge, beinhaltet.
13. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Herstellen der elektrischen Kontaktverbindungen (19, 31) das Umverlegen (18) der Anschlusskontakte (12) auf dem ersten Oberflächenbereich umfasst.
14. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Herstellen der elektrischen Kontaktverbindungen (19, 31) durch das Aufdampfen und/oder Sputtern und/oder CVD- und/oder PVC-Abscheiden von vorzugsweise Aluminium, Kupfer oder Nickel, mit anschließender Strukturierung erfolgt.

15. Verfahren nach einem der vorhergehenden Ansprüchen,
dadurch gekennzeichnet, dass das Herstellen der
elektrischen Kontaktverbindungen (19, 31) das stromlose
Abscheiden von vorzugsweise Aluminium, Kupfer oder Nickel
beinhaltet.
16. Verfahren nach einem der vorhergehenden Ansprüchen,
dadurch gekennzeichnet, dass das Herstellen der
elektrischen Kontaktverbindungen (19, 31) das Auffüllen
der Kontaktkanäle oder Lochöffnungen (17, 30) umfasst.
17. Verfahren nach einem der vorhergehenden Ansprüchen,
dadurch gekennzeichnet, dass durch die jeweiligen
Kontaktkanäle (19, 31) oder Lochöffnungen (17, 30)
mehrere elektrische Kontaktverbindungen zu verschiedenen
Anschlusskontakten verlegt werden.
18. Verfahren nach einem der vorhergehenden Ansprüchen,
dadurch gekennzeichnet, dass das Verfahren das Auffüllen
der Kontaktkanäle (19, 31) oder Löchöffnungen (17, 30)
mit Isolierstoff nach dem Verlegen der elektrischen
Kontaktverbindungen erfolgt.
19. Verfahren nach einem der vorhergehenden Ansprüchen,
dadurch gekennzeichnet, dass die durch die jeweiligen
Kontaktkanäle (19, 31) oder Lochöffnungen (17, 30)
verlegten elektrischen Kontaktverbindungen zu
Anschlusskontakten in unterschiedlichen Chip-Bereichen
(1a, 1b) geführt werden.
20. Verfahren nach einem der vorhergehenden Ansprüchen,
dadurch gekennzeichnet, dass das Herstellen der
elektrischen Kontaktverbindungen das Aufbringen von

Lötperlen (24) in den Bereich der Kontaktkanäle (19, 31) auf dem zweiten Oberflächenbereich beinhaltet.

- 5 21. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Herstellen der elektrischen Kontaktverbindungen das Umverlegen (26) der Verlegten elektrischen Kontaktverbindung auf dem zweiten Oberflächenbereich umfasst.
- 10 22. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Abdeckung (20) aus einem Glas oder einem Kunststoff oder einem Glas-Kunststoff-Verbundwerkstoff bereitgestellt wird.
- 15 23. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Abdeckung mit einem Haftvermittler (21) aufgebracht wird.
- 20 24. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Haftvermittler (21) einen Klebstoff, vorzugsweise Epoxidharz, und/oder ein Wachs und/oder ein Sol Gel umfasst.
- 25 25. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Abdeckung (20) mit Hilfe eines thermischen oder anodischen Bondens aufgebracht wird.
- 30 26. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Aufbringen einer Abdeckung oder das Bonden der Abdeckung (20) das Abscheiden einer Oxid-Schicht auf dem Trägermaterial (1, 10) umfasst.

27. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Aufbringen einer Abdeckung oder das Bonden das Planarisieren mit Hilfe eines chemisch-mechanischen Polierprozesses umfasst.
- 5
28. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Ausdünnen das Ätzen und/oder Abschleifen des Trägermaterials umfasst.
- 10
29. Verfahren insbesondere zur Montage mindestens eines Bauelements in ein Gehäuse folgende Schritte umfassend:
- a) Herstellen von wenigstens eines Halbleiterbauelements in einem Trägermaterial (1, 10), welches einen ersten Oberflächenbereich, der einem
- 15
- zweiten Oberflächenbereich gegenüberliegt umfasst, wobei wenigstens ein Anschlusskontakt (12) wenigstens teilweise im ersten Oberflächenbereich für jede integrierte Schaltung (11) angeordnet ist,
- b) Durchführen eines Verfahrens nach einem der
- 20
- vorhergehenden Ansprüche zum Herstellen eines mit einer ersten Abdeckung auf dem ersten Oberflächenbereich versehenen Trägermaterials mit wenigstens einer Kontaktstelle (23, 24) im zweiten Oberflächenbereich,
- c) Aufbringen einer zweiten Abdeckung (27) auf den
- 25
- zweiten Oberflächenbereich.
30. Verfahren nach Anspruch 29, dadurch gekennzeichnet, dass das Aufbringen der Abdeckung (27) das Einbringen von durch die Abdeckung durchgehende Lochöffnungen (28)
- 30
- umfasst.
31. Verfahren nach einem der Ansprüche 29 oder 30, dadurch gekennzeichnet, dass das Verlegen ein Ausfüllen der Durchgangsöffnungen (28) umfasst.

32. Verfahren nach einem der Ansprüche 29 bis 31, dadurch gekennzeichnet, dass das Verfahren ein Verlegen von wenigstens einer elektrischen Verbindung durch die Abdeckungsöffnungen zu den Kontaktstellen und/oder umverlegten Kontaktstellen umfasst, wobei durch das Verlegen auf der dem Trägermaterial abgewandten Seite der zweiten Abdeckung wenigstens eine Gehäusekontaktstelle (38) ausgebildet wird.

33. Verfahren nach einem der Ansprüche 29 bis 32, dadurch gekennzeichnet, dass das Verfahren das Umverlegen der Kontaktstellen (23) auf dem zweiten Oberflächenbereich umfasst.

34. Verfahren nach einem der Ansprüche 29 bis 33, dadurch gekennzeichnet, dass das Verlegen ein Umverlegen der Gehäusekontaktstellen (38) auf der dem Trägermaterial abgewandten Seite der zweiten Abdeckung umfasst.

35. Verfahren nach einem der Ansprüche 29 bis 34, dadurch gekennzeichnet, dass das Trägermaterial wenigstens zwei Bauelemente oder integrierte Schaltung (1a, 1b) umfasst, wobei zwischen den Bauelementen oder integrierten Schaltungen wenigstens ein Trenngrab (35) ausgebildet wird.

36. Verfahren nach einem der Ansprüche 29 bis 35, dadurch gekennzeichnet, dass die Trenngräben (35) derart ausgebildet werden, dass es zu einer elektrischen Trennung zwischen den zum Trenngrab benachbarten Trägermaterialbereichen kommt.

37. Verfahren nach einem der Ansprüche 29 bis 36, dadurch gekennzeichnet, dass das Verfahren ein Auffüllen der Trenngräben (35) mit einem Isolierstoff umfasst.
- 5 38. Verfahren nach einem der Ansprüche 29 bis 37, dadurch gekennzeichnet, dass als Trägermaterial (1, 10) eine mit Bauelementen (11) oder integrierten Schaltungen bestückte Halbleiterscheibe bereitgestellt wird.
- 10 39. Verfahren nach einem der Ansprüche 29 bis 38, dadurch gekennzeichnet, dass die Trenngräben (35) im Trägermaterial so angeordnet sind, dass entlang der Trenngräben ein Zerteilen des Trägermaterials in wenigstens ein Bauelement enthaltende Chip-Bereiche
15 erfolgen kann.
40. Verfahren zur Herstellung integrierter Schaltungen (6) mit einem Wafer (1), welcher ein Substrat, zumindest einen Anschlußkontakt (25) und auf einer ersten Seite
20 (14) eine die Schaltkreise des Chip (1, 2, 3) umfassende aktive Schicht (11) aufweist, welches die Schritte umfaßt:
1. Befestigen einer transparenten Abdeckung (20) auf der ersten Seite (14) des Wafers (1),
- 25 2. Ausdünnen des Wafers (1) auf einer der Seite (14), welche die aktive Schicht (11) aufweist, gegenüberliegenden Seite (22)
3. Einfügen von zumindest einem sich im wesentlichen senkrecht zur Oberfläche der ersten Seite (14) erstreckenden, leitenden Kanal von einer zweiten Seite
30 (22) des Wafers (1) her, welche der Seite (14) mit der aktiven Schicht (11) gegenüberliegt, in den Wafer (1) und Herstellen eines elektrischen Kontakts zwischen zumindest einem Anschluß der Schaltkreise des Wafers (1)
35 und dem leitenden Kanal (31).

41. Verfahren nach Anspruch 40, bei welchem der leitende Kanal durch Dotierung des Substrats (101) erzeugt wird.
- 5 42. Verfahren nach Anspruch 40, bei welchem der leitende Kanal durch Einfügen zumindest eines Lochs (17) und Auffüllen des Lochs (17) mit einem leitenden Material (19, 31) hergestellt wird.
- 10 43. Verfahren nach Anspruch 42, bei welchem das zumindest eine Loch durch Einätzen in das Substrat des Chip hergestellt wird.
- 15 44. Verfahren nach Anspruch 42 oder 43, dadurch gekennzeichnet, daß das Einfügen des zumindest einen Lochs (17) durch Trockenätzen erfolgt.
- 20 45. Verfahren nach einem der Ansprüche 42 bis 44, dadurch gekennzeichnet, daß das Einfügen des zumindest einen Lochs (17) durch Ätzen mittels KOH erfolgt.
- 25 46. Verfahren nach einem der Ansprüche 42 bis 45, dadurch gekennzeichnet, daß das leitende Material (31) ein leitendes Epoxid umfaßt.
- 30 47. Verfahren nach einem der Ansprüche 42 bis 46, dadurch gekennzeichnet, daß das leitende Material (31) ein Metall umfaßt, welches galvanisch in dem zumindest einem Loch abgeschieden wird.
- 35 48. Verfahren nach einem der Ansprüche 40 bis 47, dadurch gekennzeichnet, daß auf der zweiten Seite des Wafers (1), welche der die aktive Schicht (11) aufweisenden Seite (14) gegenüberliegt, zumindest eine Kontaktfläche (25) aufgebracht wird, die mit der leitenden Kanal

elektrisch verbunden ist.

49. Verfahren nach einem der Ansprüche 40 bis 49, dadurch gekennzeichnet, daß auf der zweiten Seite des Wafers eine weitere Abdeckung (27) aufgebracht wird.

50. Verfahren nach Anspruch 49, dadurch gekennzeichnet, daß die weitere Abdeckung (27) zumindest ein Loch (28) aufweist, dessen eine Öffnung auf den leitenden Kanal trifft.

51. Verfahren nach Anspruch 50, dadurch gekennzeichnet, daß das zumindest eine Loch (28) mit einer leitenden Füllung (29) versehen wird und daß zwischen dem leitenden Kanal und der leitenden Füllung (29) in der Abdeckung (27) ein elektrischer Kontakt hergestellt wird.

52. Verfahren nach einem der Ansprüche 50 oder 51, dadurch gekennzeichnet, daß auf der Seite der weiteren Abdeckung (27), welche der dem Wafer (1) zugewandten Seite der Abdeckung gegenüberliegt, zumindest eine Kontaktfläche (25) aufgebracht wird, die mit der leitenden Auffüllung (29) in dem zumindest einen Loch (28) elektrisch verbunden ist.

53. Verfahren nach einem der Ansprüche 40 bis 52, gekennzeichnet durch den Schritt des mit- oder aufeinander Befestigen des Wafers (1) und zumindest eines weiteren Wafers (2, 3) derart, daß zwischen dem elektrisch leitenden Kanal (31) des Wafers (1) und zumindest einer korrespondierenden Anschlußfläche (25) des weiteren Wafers (2) ein elektrischer Kontakt hergestellt wird.

54. Verfahren nach Anspruch 53, dadurch gekennzeichnet, daß der Schritt des aufeinander Befestigens der Wafer (1, 2, 3) den Schritt des Zusammenschmelzens von Lötperlen (24) auf Kontaktflächen (25, 36) der Wafer (1, 2, 3) umfaßt.

5
55. Verfahren nach einem der Ansprüche 53 oder 54, bei welchem in den zumindest einen weiteren Wafer (2) ein leitender Kanal eingefügt wird, welcher sich im wesentlichen senkrecht zu einer ersten Seite (14) des Wafers (2) erstreckt.

10
56. Verfahren nach Anspruch 55, bei welchem der zumindest eine weitere Wafer (2, 3) auf einer Seite ausgedünnt wird, welche der die aktive Schicht (11) aufweisenden Seite gegenüberliegt.

15
57. Verfahren nach Anspruch 55 oder 56, bei welchem der zumindest eine leitende Kanal in dem zumindest einen weiteren Wafer (2, 3) durch Herstellen eines Lochs (17) und Auffüllen des Lochs (17) mit einem leitenden Material (31) hergestellt wird.

20
58. Verfahren nach einem der Ansprüche 55 bis 57, bei welchem der zumindest eine leitende Kanal in dem zumindest einen weiteren Wafer (2, 3) durch Dotieren erzeugt wird.

25
59. Verfahren nach einem der Ansprüche 55 bis 58, dadurch gekennzeichnet, daß eine elektrische Verbindung von den Schaltkreisen des zumindest einen weiteren Wafer (2, 3) zu dem zumindest einen leitenden Kanal hergestellt wird.

30
60. Verfahren nach einem der Ansprüche 55 bis 59, bei welchem die Wafer (1, 2, 3) der mehrschichtig aufgebauten integrierten Schaltung (6) über isolierende
35

Zwischenschichten (45) miteinander verbunden werden.

61. Verfahren nach Anspruch 60, bei welchem der Schritt des
aufeinander Befestigens der Wafer (1, 2, 3) die Schritte
umfaßt:

a) Aufbringen von Lötperlen auf Kontaktflächen (23, 25)
der Wafer (1, 2, 3),

b) Aufbringen isolierender Schichten (45) auf den
Flächen (14, 22), welche die Kontaktflächen (23, 25)
aufweisen und die Lötperlen bedecken,

c) Abschleifen der Schichten (45) soweit, daß die
Lötperlen (24) freigelegt werden und Kontaktflächen (36)
aufweisen,

d) Aufbringen von Lötperlen (24) auf die Kontaktflächen
(36),

e) Unter Aufschmelzen der Lötperlen (24) Zusammenfügen
der Chips.

62. Verfahren nach einem der Ansprüche 40 bis 61, bei
welchem Chips (1, 2, 3) mit einer Dicing-Säge
abgetrennt werden.

63. Verfahren nach einem der Ansprüche 40 bis 62, bei
welchem die integrierte Schaltung (6) in ein Through-
Hole- oder SMT-Gehäuse eingegossen wird.

64. Vorrichtung, insbesondere herstellbar nach einem
Verfahren gemäß einem der vorhergehenden Ansprüche,
welche wenigstens ein in einem Trägermaterial
integriertes Bauelement umfasst, wobei das Trägermaterial
(1) einen ersten Oberflächenbereich (13), der einem
zweiten Oberflächenbereich gegenüberliegt, umfasst, und
wobei wenigstens ein Anschlusskontakt (12) wenigstens
teilweise im ersten Oberflächenbereich für jede

integrierte Schaltung angeordnet ist,
dadurch gekennzeichnet, dass
die Vorrichtung wenigstens eine weitere Kontaktstelle in
dem zweiten Oberflächenbereich aufweist, die mit den
5 Anschlusskontakten über wenigstens eine elektrische
Kontaktverbindung verbunden ist, wobei die
Kontaktverbindung über in das Trägermaterial eingebrachte
quer zum ersten Oberflächenbereich liegende Kontaktkanäle
hergestellt wird.

10

65. Vorrichtung nach Anspruch 64, dadurch gekennzeichnet,
dass die Vorrichtung ein sensorisch oder optisch aktives
Bauelement im ersten Oberflächenbereich umfasst

15

66. Vorrichtung nach Anspruch 64 oder 65, dadurch
gekennzeichnet, dass die Vorrichtung eine Abdeckung (20,
27) auf dem ersten und/oder zweiten Oberflächenbereich
aufweist.

20

67. Vorrichtung nach einem der Ansprüche 64 bis 66, dadurch
gekennzeichnet, dass die Vorrichtung zwischen den
Bauelementen mit Isolierstoff befüllte Trenngräben (35)
aufweist.

25

68. Integrierte Schaltungsanordnung, insbesondere
hergestellt nach einem Verfahren nach einem der
Ansprüche 1 bis 65, umfassend einen Chip (1, 2, 3),
welcher ein Substrat, zumindest einen Anschlußkontakt
(25) und auf einer Seite (14) eine die Schaltkreise des
30 Chip (1, 2, 3) umfassende aktive Schicht (11) aufweist,
dadurch gekennzeichnet, daß auf einer Seite (14, 22) des
Chips (1) eine Abdeckung (20) aus Glas oder
transparentem Kunststoff befestigt und das Substrat auf
der gegenüberliegenden Seite ausgedünnt ist und der Chip
35 einen leitenden Kanal (19) aufweist, der von einer

zweiten Seite des ersten Chip (1) her eingefügt ist, welche der Seite mit der aktiven Schicht gegenüberliegt und wobei die Abdeckung vor dem Ausdünnen und dem Einfügen des Kanals befestigt worden ist, wobei ein elektrischer Kontakt zwischen zumindest einem Anschluß der Schaltkreise des Chips (1) und dem leitenden Kanal besteht.

69. Integrierte Schaltungsanordnung nach Anspruch 68, dadurch gekennzeichnet, daß ein Chip (1) der Anordnung ein optischer Baustein ist, dessen optisch sensitive Seite (14) mit einer transparenten Abdeckung (20, 21) bedeckt ist.

70. Integrierte Schaltungsanordnung nach Anspruch 68 oder 71, dadurch gekennzeichnet, daß die Abdeckung optische Elemente, insbesondere Prismen, Gitter oder optische Filter aufweist.

71. Integrierte Schaltungsanordnung nach einem der Ansprüche 68 bis 70, wobei der Chip (1) Strahlungs-, Druck-, Temperatur-, Feuchtigkeits- und/oder chemische Sensoren reagierend auf Gas- oder Flüssigkeitsbestandteile aufweist.

72. Integrierte Schaltungsanordnung nach einem der Ansprüche 68 bis 71, umfassend zumindest zwei übereinander angeordnete Chips (1, 2, 3), welcher jeweils ein Substrat, zumindest einen Anschlußkontakt (25) und auf einer Seite (14) eine die Schaltkreise des Chip (1, 2, 3) umfassende aktive Schicht (11) aufweisen.

73. Integrierte Schaltungsanordnung nach Anspruch 72, dadurch gekennzeichnet, daß sich zwischen den Chips (1, 2, 3) der Anordnung isolierende Zwischenschichten (45)

befinden.

74. Integrierte Schaltungsanordnung nach einem der Ansprüche
68 bis 73, dadurch gekennzeichnet, daß die Anordnung mit
5 einem Epoxidharz (40) verkapselt ist.

75. Integrierte Schaltungsanordnung nach einem der Ansprüche
70 bis 74, dadurch gekennzeichnet, daß die Abdeckung
10 (20) mittels eines transparenten Epoxidharzes (21) mit
dem Chip (1) verbunden ist.

76. Gehäustes Multipackage (6), insbesondere hergestellt nach
einem Verfahren nach einem der Ansprüche 1 bis 25,
15 umfassend
zumindest zwei übereinander angeordnete Chips (1, 2, 3),
die auf einer Seite (14) jeweils zumindest einen
Anschlußkontakt (25) und eine die Schaltkreise des Chip
(1, 2, 3) umfassende aktive Schicht (11) aufweisen und
20 zumindest teilweise von einem Gehäuse (20, 27, 45, 40)
umschlossen sind, dadurch gekennzeichnet, daß auf einer
Seite (14, 22) eines ersten der Chips (1, 2) eine
Abdeckung (20) befestigt ist, das Substrat des Chips (1)
auf der Seite (22), welche der die aktive Schicht (11)
25 aufweisenden Seite (14) gegenüberliegt ausgedünnt ist
und der Chip einen leitenden Kanal (19) aufweist, der
von dieser Seite (22) des ersten Chip (1) her eingefügt
ist, welche der Seite mit der aktiven Schicht
gegenüberliegt und wobei die Abdeckung vor dem Ausdünnen
30 und Einfügen des Kanals befestigt worden ist, wobei ein
elektrischer Kontakt zwischen zumindest einem Anschluß
der Schaltkreise des Chip, der den Kanal aufweist (1)
und dem leitenden Kanal einerseits und einer
Anschlußfläche (25) eines weiteren Chip (2, 3) mit dem
35 leitenden Kanal andererseits besteht.

Fig. 1A

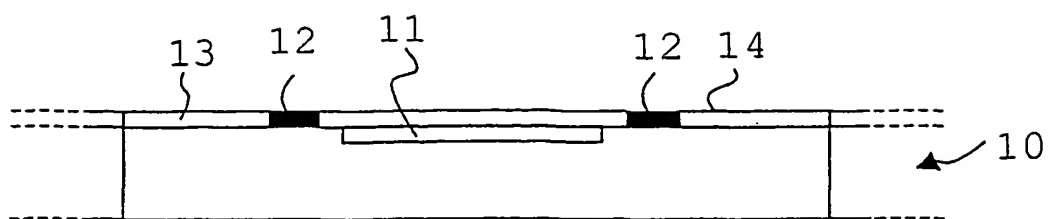


Fig. 1B

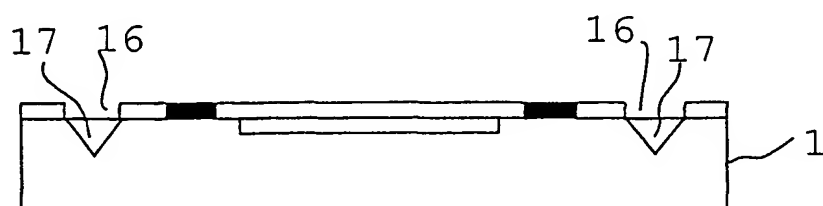


Fig. 1C

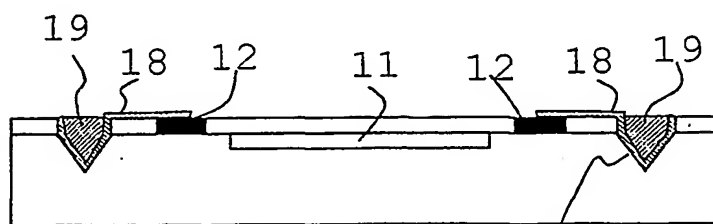


Fig. 1D

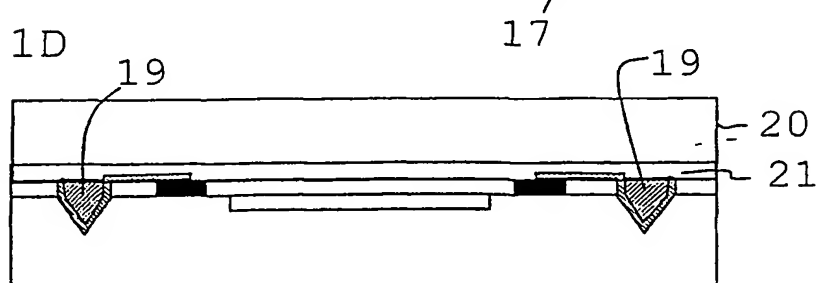


Fig. 1E

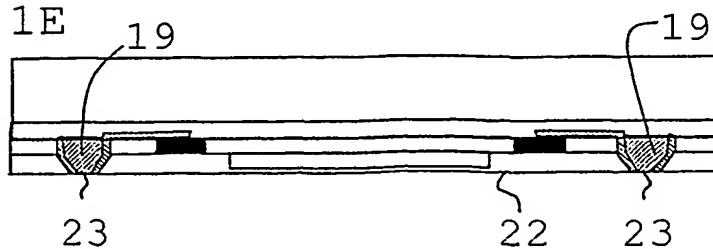


Fig. 2A

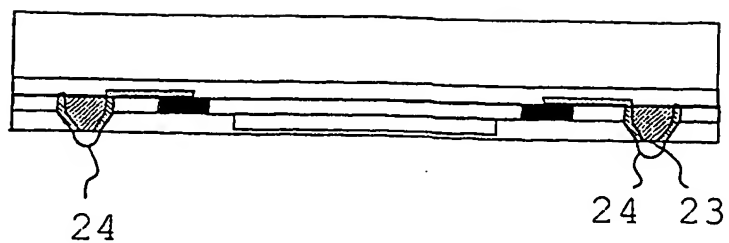


Fig. 2B

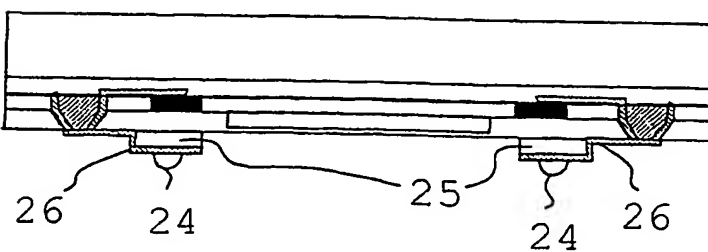


Fig. 2C

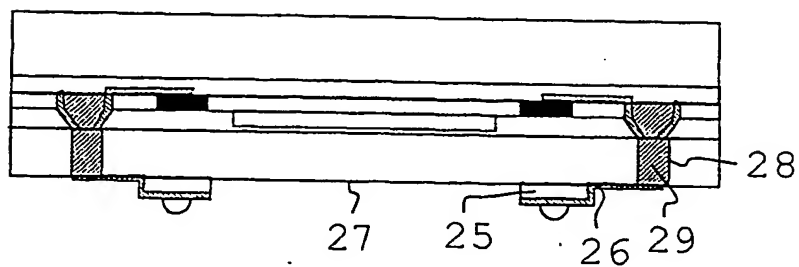


Fig. 3A

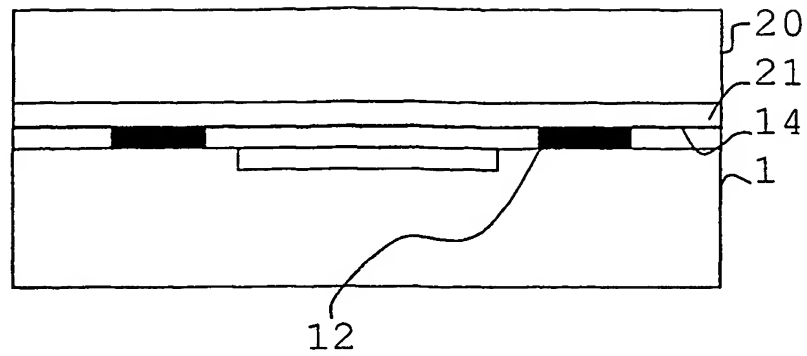


Fig. 3B

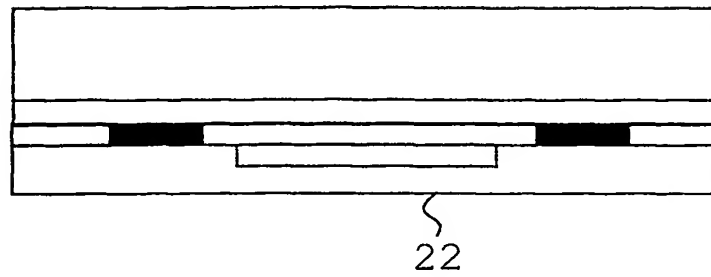


Fig. 3C

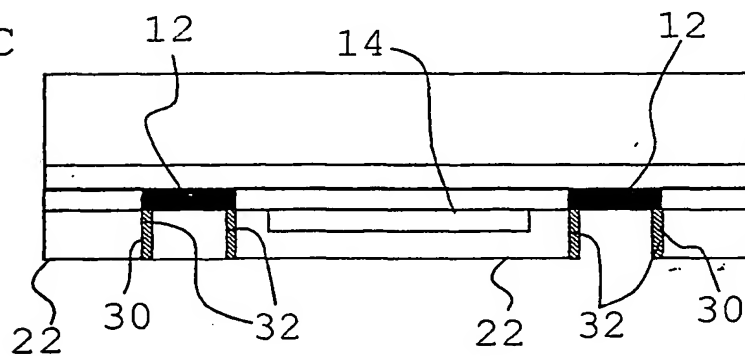


Fig. 3D

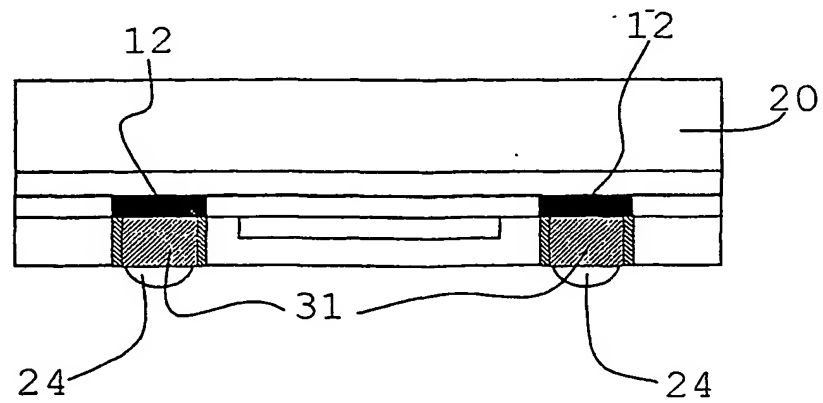


Fig. 4A

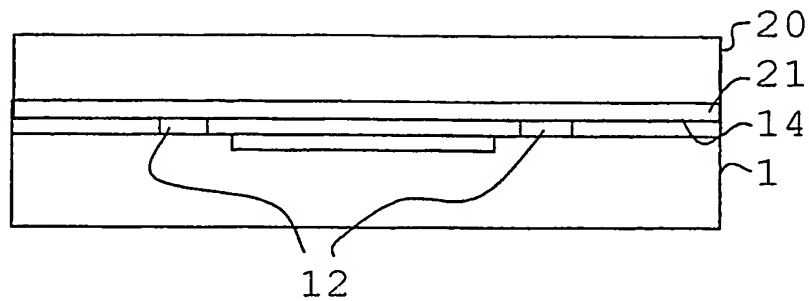


Fig. 4B

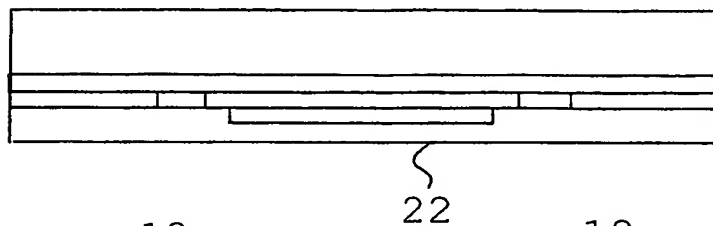


Fig. 4C

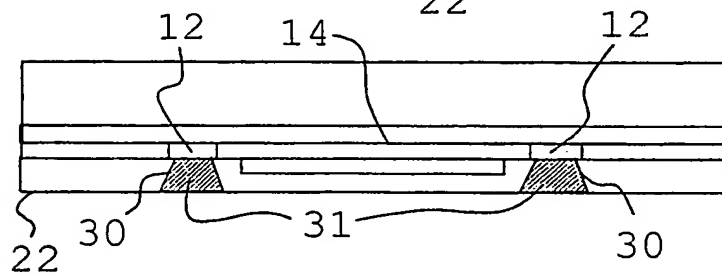


Fig. 4D

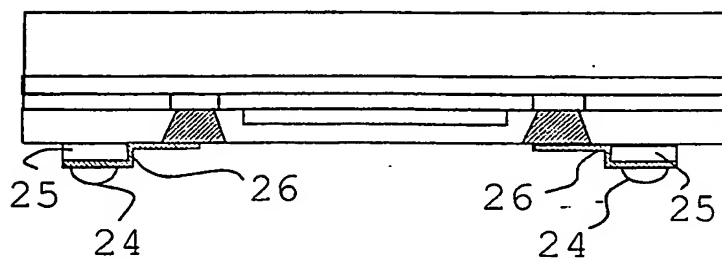


Fig. 5A

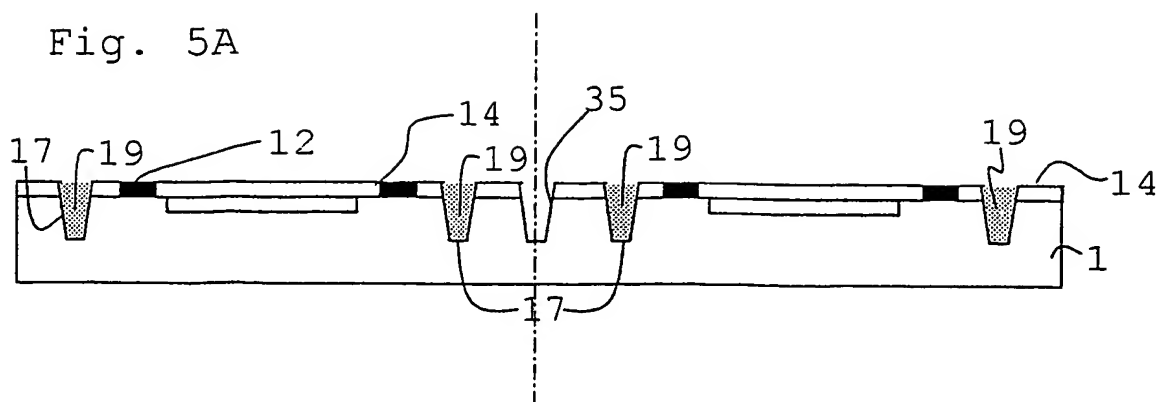


Fig. 5B

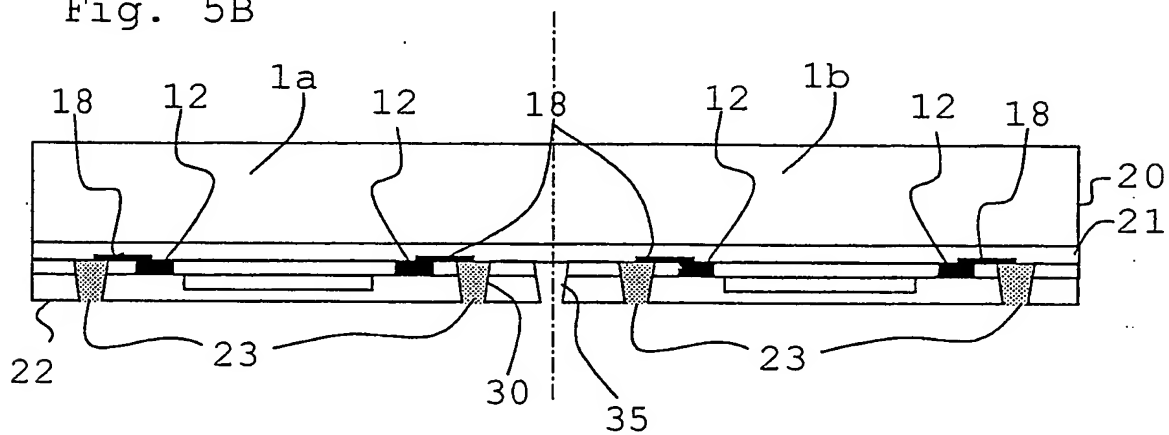


Fig. 5C

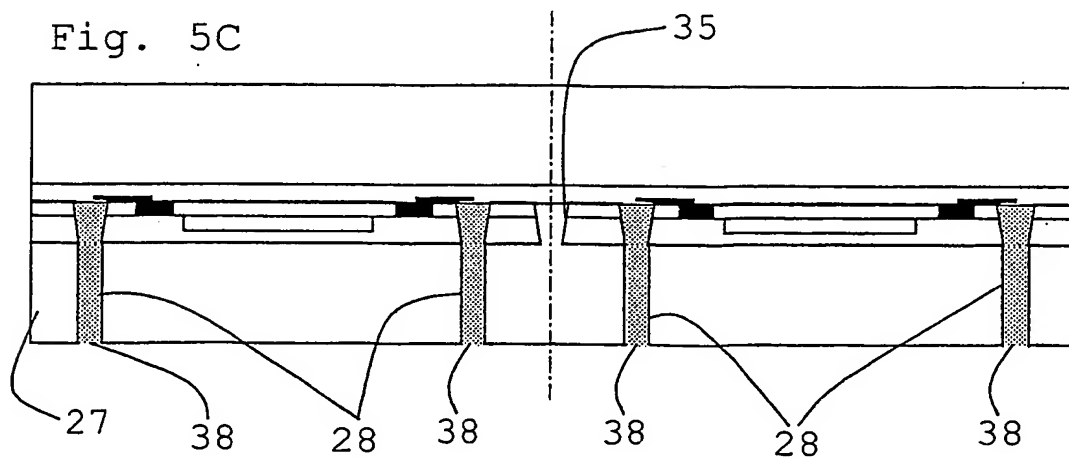


Fig. 6A

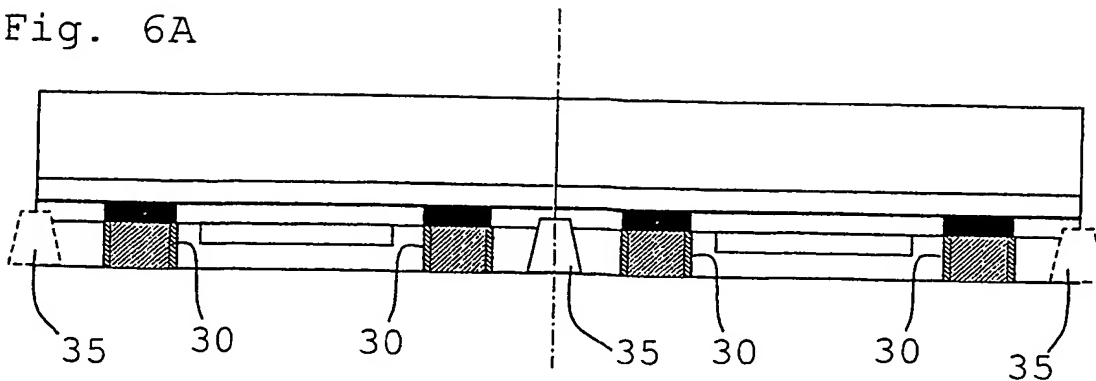


Fig. 6B

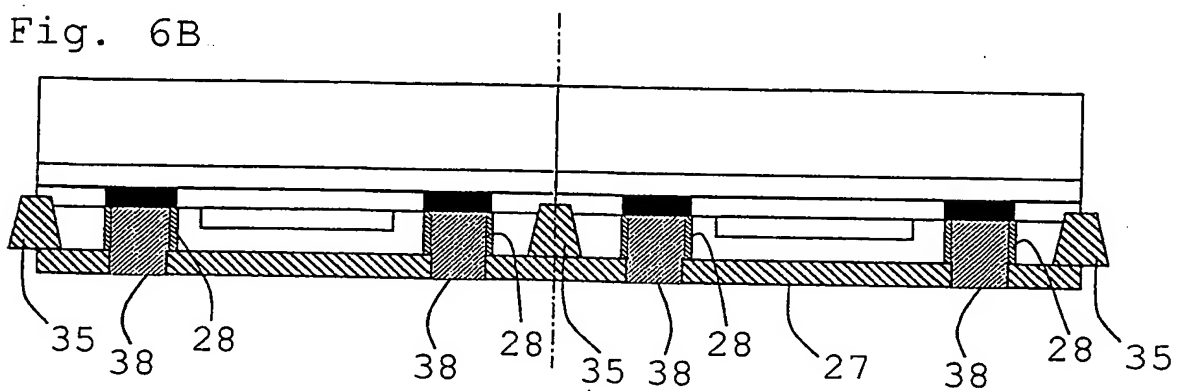


Fig. 7A

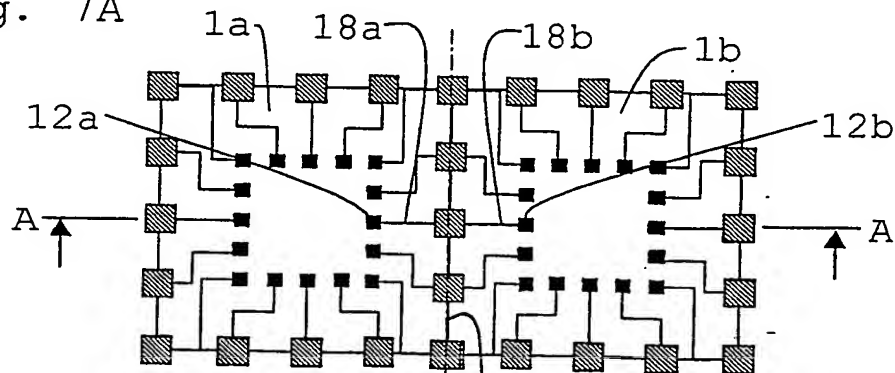


Fig. 7B

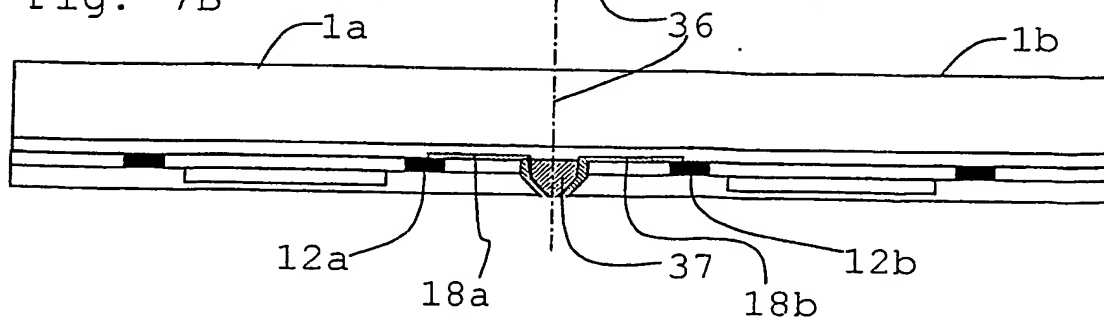


Fig. 8A

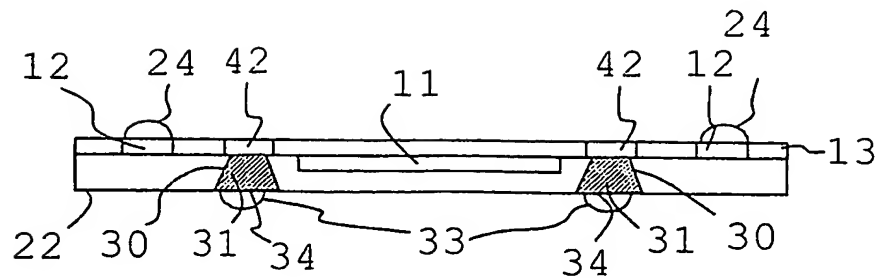


Fig. 8B

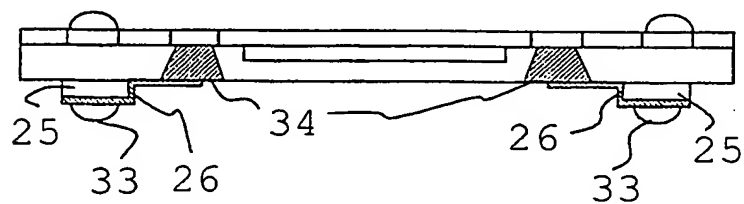


Fig. 8C

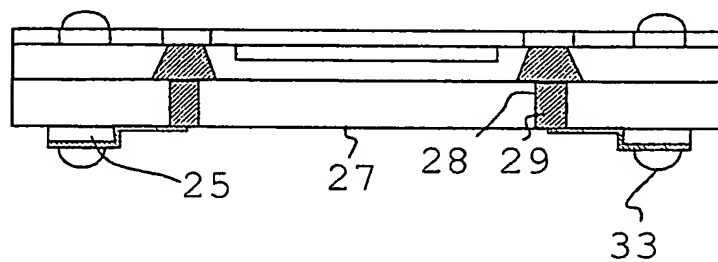


Fig. 9A

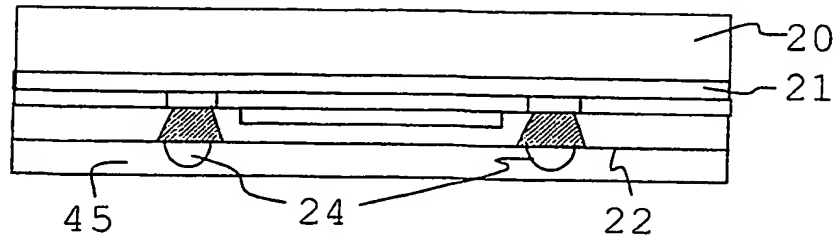


Fig. 9B

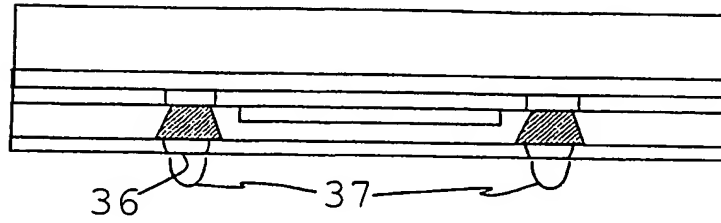
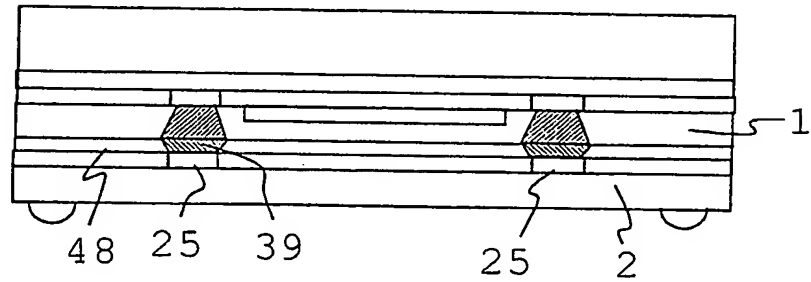
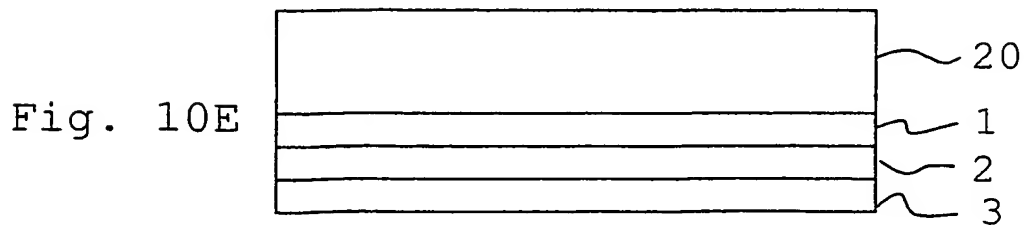
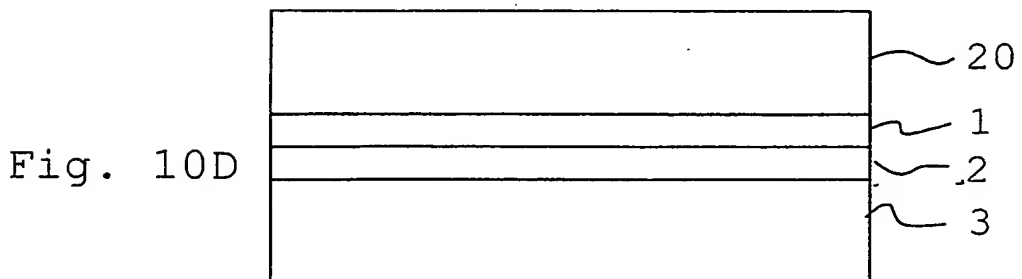
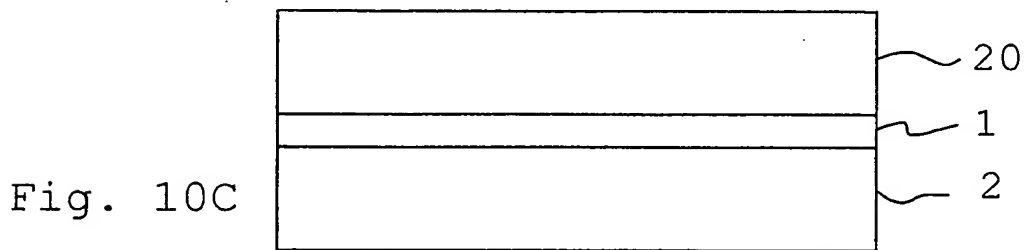
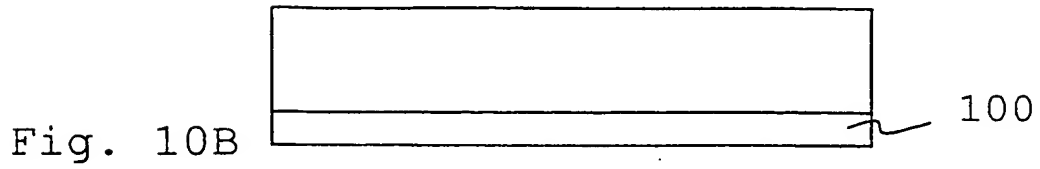
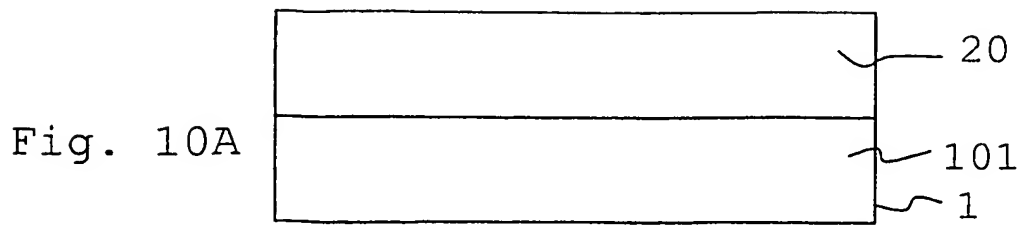


Fig. 9C





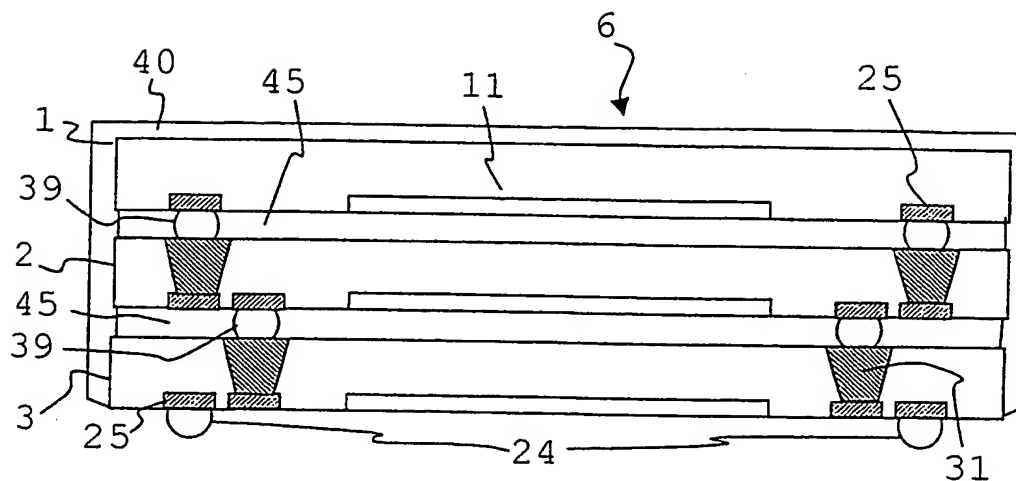


Fig. 11A

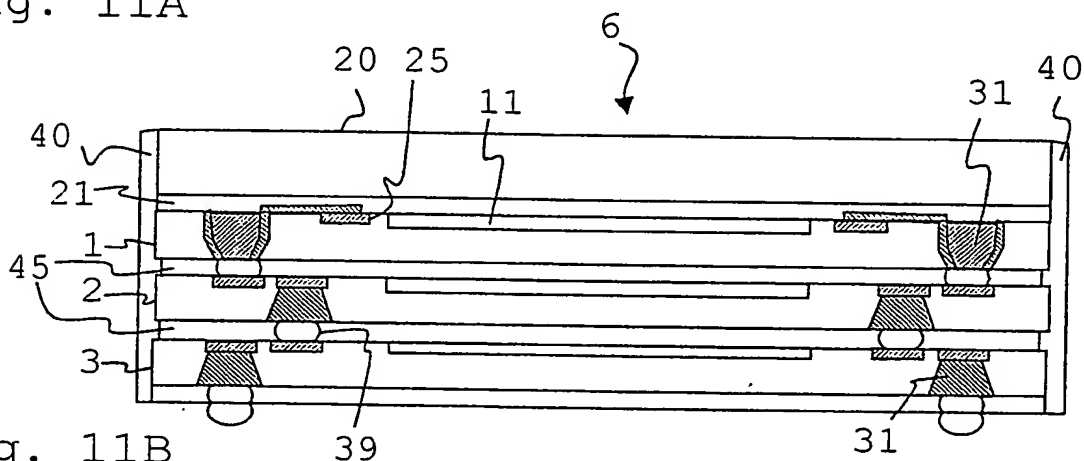


Fig. 11B

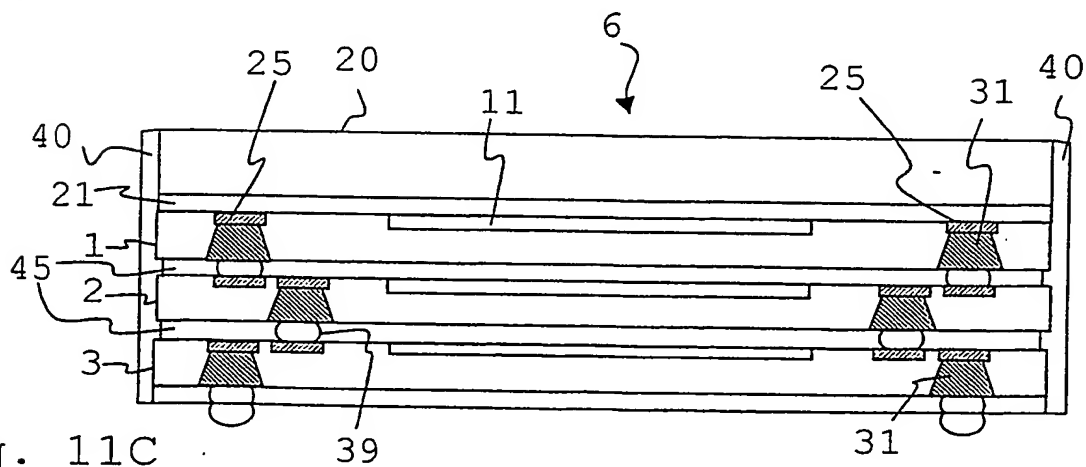


Fig. 11C

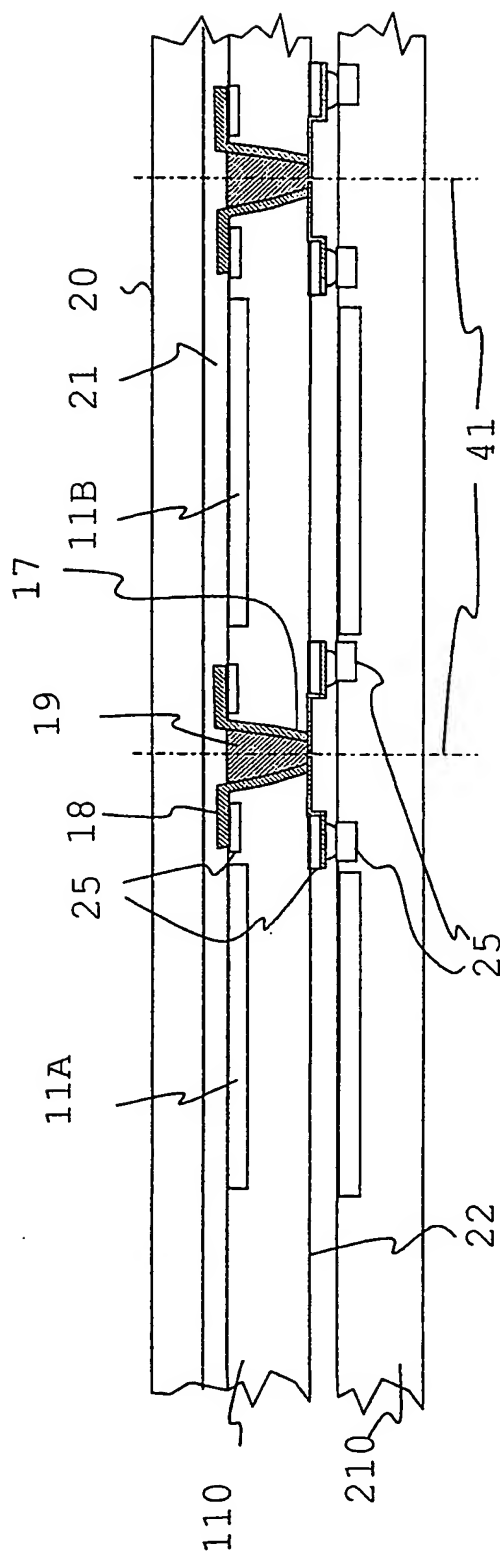


Fig. 12

THIS PAGE BLANK (USPTO)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. März 2003 (06.03.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/019653 A3

(51) Internationale Patentklassifikation⁷: **H01L 31/0203,**
25/16

(30) Angaben zur Priorität:

101 41 571.0	24. August 2001 (24.08.2001)	DE
101 41 558.3	24. August 2001 (24.08.2001)	DE
102 25 373.0	6. Juni 2002 (06.06.2002)	DE

(21) Internationales Aktenzeichen: PCT/EP02/09498

(22) Internationales Anmeldedatum:
26. August 2002 (26.08.2002)

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
AU, GB, IE, IL, IN, JP, KE, KP, KR, NZ, SG, TZ, UG,
US, ZA): **SCHOTT GLAS** [DE/DE]; Hattenbergstrasse 10,
55122 Mainz (DE).

(25) Einreichungssprache: Deutsch

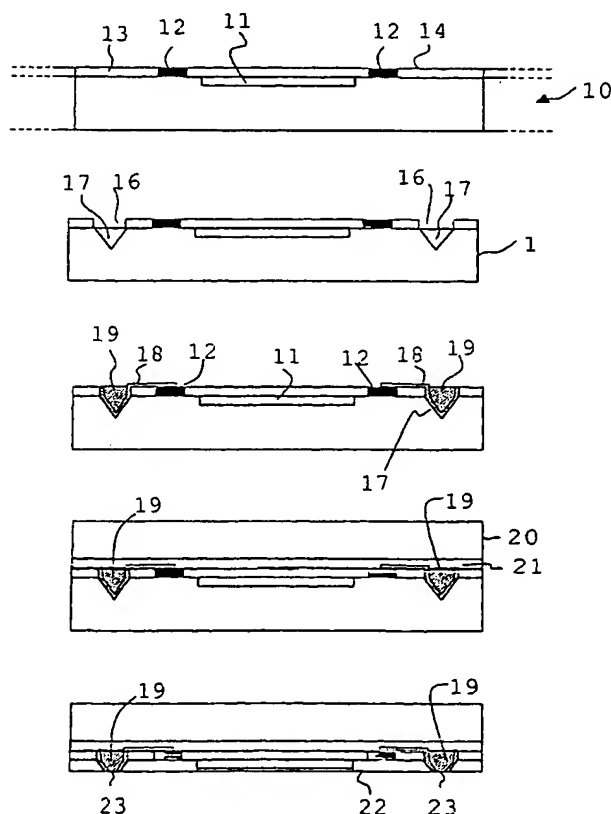
(71) Anmelder (nur für AU, BB, BF, BJ, BZ, CF, CG, CI, CM,
GA, GB, GD, GE, GH, GM, GN, GW, IE, IL, IN, KE, KG,
KP, KR, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW,

(26) Veröffentlichungssprache: Deutsch

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING CONTACTS AND PRINTED CIRCUIT PACKAGES

(54) Bezeichnung: VERFAHREN ZUM KONTAKTIEREN UND GEHÄUSEN VON INTEGRIERTEN SCHALTUNGEN



(57) Abstract: The invention concerns a method for producing electrical contact connections for at least an component integrated to a support material which includes a first surface zone, at least a connecting contact being arranged at least partly in said first surface zone for each component. The method is characterized in that a covering element is placed on the first surface zone and at least a contact channel extends in the support material perpendicular to the first surface zone. To form at least a contact point in a second surface zone to be prepared, at least an electrical contact connection is established via respective contact channels between the contact point and at least one of the connecting contacts. Very advantageously, a contact point of this type can be produced on the surface of the support material opposite the connecting contact and thus on the surface of the support material opposite the active surface a contact point electrically connected to the connecting contact. Said technique replaces the prior technique whereby the trenches extend along the support material and the contacts are established laterally around a component.

(57) Zusammenfassung: Nach der Erfindung wird ein Verfahren zum Herstellen von elektrischen Kontaktverbindungen für wenigstens einen einem Trägermaterial integriertes Bauelement, wobei das Trägermaterial einen ersten Oberflächenbereich aufweist und wobei wenigstens ein Anschlusskontakt wenigstens teilweise im ersten Oberflächenbereich für jedes Bauelement angeordnet ist, vorgeschlagen, das sich insbesondere durch ein Aufbringen einer Abdeckung auf dem ersten Oberflächenbereich und einem erzeugen wenigstens einem Kontaktkanal, der im Trägermaterial quer zum ersten Oberflächenbereich verläuft, auszeichnet, wobei zum Ausbilden wenigstens einer

[Fortsetzung auf der nächsten Seite]

WO 03/019653 A3

Kontaktstelle in einem



MX, NE, NZ, SD, SG, SL, SN, SZ, TD, TG, TT, TZ, UG, VN, ZA, ZW): **CARL-ZEISS-STIFTUNG TRADING AS SCHOTT GLAS** [DE/DE]; Hattenbergstr. 10, 55122 Mainz (DE).

MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(71) **Anmelder (nur für JP): CARL-ZEISS-STIFTUNG** [DE/DE]; 89518 Heidenheim an der Brenz (DE).

(72) **Erfinder; und**

(75) **Erfinder/Anmelder (nur für US): BIECK, Florian** [DE/DE]; Mozartstrasse 21, 55118 Mainz (DE). **LEIB, Jürgen** [—/—]; Philipp-Dirr-Strasse 14, 85345 Freising (DE).

(74) **Anwalt: HERDEN, Andreas**; Blumbach, Kramer & Partner GbR, Alexandrastrasse 5, 65187 Wiesbaden (DE).

(81) **Bestimmungsstaaten (national):** AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,

(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(88) **Veröffentlichungsdatum des internationalen Recherchenberichts:**

20. November 2003

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

bereitzustellenden zweiten Oberflächenbereich über die jeweiligen Kontaktkanäle wenigstens eine elektrische Kontaktverbindung von der Kontaktstelle zu wenigstens einem der Anschlusskontakte hergestellt wird. Auf Höchste vorteilhafter Weise kann so eine Kontaktstelle auf der zum Anschlusskontakt und damit auf der der aktiven Oberfläche abgewandten Seite des Trägermaterials eine mit dem Anschlusskontakt in elektrischer Verbindung stehende Kontaktstelle erzeugt werden. Wobei sowohl auf Graben, die entlang des Trägermaterials verlaufen und auf eine seitliche um das Bauelement geführte Kontaktierung nach dem Stand der Technik verzichtet werden kann.

INTERNATIONAL SEARCH REPORT

Internationa Application No

PCT/EP 02/09498

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L31/0203 H01L25/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 810 659 A (HARRIS CORP) 3 December 1997 (1997-12-03)	1-4, 9, 13, 14, 16-20, 22, 28, 40, 42, 43, 48, 62-66, 68-71
Y	figures 1-12 column 2, paragraph 1 column 3, line 40 - column 6, line 20 column 6, line 26 - line 36 --- -/--	5, 9-12, 14, 29-39, 49-61

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

25 July 2003

Date of mailing of the international search report

04/08/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Visscher, E

INTERNATIONAL SEARCH REPORT

Internat^l plication No

PCT/EP 02/09498

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 814 889 A (GAUL STEPHEN JOSEPH) 29 September 1998 (1998-09-29) figures 5,8A,9 abstract column 10, paragraph 5 column 11, paragraph 3 -column 12, paragraph 4 ----	5,9-12, 14, 29-39, 49-61
X	US 5 254 868 A (SAITO YUTAKA) 19 October 1993 (1993-10-19) figures 1-3 column 2, line 52 -column 3, line 33 column 6, line 27 - line 56 ----	1-4,6-8, 13,14, 22-26, 28, 64-66, 68-71
X	US 5 244 817 A (HAWKINS GILBERT A ET AL) 14 September 1993 (1993-09-14) figures 3-6 column 3, line 62 -column 4, line 18 ----	1
X,P	WO 01 80285 A (HONEYWELL INT INC) 25 October 2001 (2001-10-25) figures 1,2 page 5, paragraph 4 -page 6, paragraph 3 ----	1,29,64, 68
A	WO 99 40624 A (SHELLCASE LTD ;BADEHI AVNER (IL)) 12 August 1999 (1999-08-12) cited in the application figures 1-10 page 10, paragraph 5 -page 16, paragraph 4 -----	1,29,64, 68

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat

pplication No

PCT/EP 02/09498

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0810659	A	03-12-1997	US 5965933 A	12-10-1999
			EP 0810659 A2	03-12-1997
			JP 10050887 A	20-02-1998
			US 6114191 A	05-09-2000
US 5814889	A	29-09-1998	NONE	
US 5254868	A	19-10-1993	JP 3077034 B2	14-08-2000
			JP 4082267 A	16-03-1992
US 5244817	A	14-09-1993	NONE	
WO 0180285	A	25-10-2001	AU 5702801 A	30-10-2001
			CA 2405859 A1	25-10-2001
			CZ 20023727 A3	16-04-2003
			EP 1273079 A2	08-01-2003
			WO 0180285 A2	25-10-2001
			US 2003089902 A1	15-05-2003
			US 6586776 B1	01-07-2003
WO 9940624	A	12-08-1999	AU 2298199 A	23-08-1999
			CA 2319506 A1	12-08-1999
			EP 1051746 A1	15-11-2000
			WO 9940624 A1	12-08-1999
			JP 2002512436 T	23-04-2002
			US 2003080398 A1	01-05-2003

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L31/0203 H01L25/16

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 810 450 A (HARRIS CORP) 3. Dez. 1997-12-03)	1-4, 9, 13, 14, 16-20, 22, 28, 40, 42, 43, 48, 62-66, 68-71
Y	Abbildungen 1-12 Spalte 2, Absatz 1 Spalte 3, Zeile 40 - Spalte 6, Zeile 20 Spalte 6, Zeile 26 - Zeile 36 ----- -/-	5, 9-12, 14, 29-39, 49-61

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

25. Juli 2003

Absendedatum des internationalen Recherchenberichts

04/08/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Visscher, E

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 814 889 A (GAUL STEPHEN JOSEPH) 29. September 1998 (1998-09-29) Abbildungen 5,8A,9 Zusammenfassung Spalte 10, Absatz 5 Spalte 11, Absatz 3 -Spalte 12, Absatz 4 ---	5,9-12, 14, 29-39, 49-61
X	US 5 254 868 A (SAITO YUTAKA) 19. Oktober 1993 (1993-10-19) Abbildungen 1-3 Spalte 2, Zeile 52 -Spalte 3, Zeile 33 Spalte 6, Zeile 27 - Zeile 56 ---	1-4,6-8, 13,14, 22-26, 28, 64-66, 68-71
X	US 5 244 817 A (HAWKINS GILBERT A ET AL) 14. September 1993 (1993-09-14) Abbildungen 3-6 Spalte 3, Zeile 62 -Spalte 4, Zeile 18 ---	1
X,P	WO 01 80285 A (HONEYWELL INT INC) 25. Oktober 2001 (2001-10-25) Abbildungen 1,2 Seite 5, Absatz 4 -Seite 6, Absatz 3 ---	1,29,64, 68
A	WO 99 40624 A (SHELLCASE LTD ;BADEHI AVNER (IL)) 12. August 1999 (1999-08-12) in der Anmeldung erwähnt Abbildungen 1-10 Seite 10, Absatz 5 -Seite 16, Absatz 4 -----	1,29,64, 68

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat. Aktenzeichen

PCT/EP 02/09498

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0810659	A	03-12-1997	US 5965933 A	12-10-1999
			EP 0810659 A2	03-12-1997
			JP 10050887 A	20-02-1998
			US 6114191 A	05-09-2000
US 5814889	A	29-09-1998	KEINE	
US 5254868	A	19-10-1993	JP 3077034 B2	14-08-2000
			JP 4082267 A	16-03-1992
US 5244817	A	14-09-1993	KEINE	
WO 0180285	A	25-10-2001	AU 5702801 A	30-10-2001
			CA 2405859 A1	25-10-2001
			CZ 20023727 A3	16-04-2003
			EP 1273079 A2	08-01-2003
			WO 0180285 A2	25-10-2001
			US 2003089902 A1	15-05-2003
			US 6586776 B1	01-07-2003
WO 9940624	A	12-08-1999	AU 2298199 A	23-08-1999
			CA 2319506 A1	12-08-1999
			EP 1051746 A1	15-11-2000
			WO 9940624 A1	12-08-1999
			JP 2002512436 T	23-04-2002
			US 2003080398 A1	01-05-2003

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.